

PATENT  
2936-0191P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: OSAWA, Shohei et al. Conf.:  
Appl. No.: NEW Group:  
Filed: July 29, 2003 Examiner:  
For: TRANSMITTER/RECEIVER APPARATUS

L E T T E R

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

July 29, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-224450	August 1, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By   
Charles Gorenstein, #29,271

CG/sll  
2936-0191P  
DKD  
Attachment(s)

P.O. Box 747  
Falls Church, VA 22040-0747  
(703) 205-8000

日本国特許庁  
JAPAN PATENT OFFICE

OSKWA, et al  
July 29, 2003  
BSUB, LLP  
(703) 205-8000  
2986-0191P  
10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2002年 8月 1日

出願番号  
Application Number:

特願2002-224450

[ST.10/C]:

[JP2002-224450]

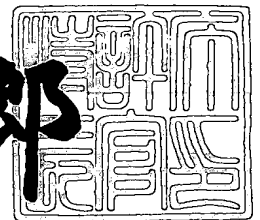
出願人  
Applicant(s):

シャープ株式会社

2003年 5月 9日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3034229

【書類名】 特許願

【整理番号】 02J01784

【提出日】 平成14年 8月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 H02L 12/40

【発明の名称】 送受信装置

【請求項の数】 25

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 大澤 昇平

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 深江 文博

【特許出願人】

    【識別番号】 000005049

    【氏名又は名称】 シャープ株式会社

【代理人】

    【識別番号】 100085501

    【弁理士】

    【氏名又は名称】 佐野 静夫

【選任した代理人】

    【識別番号】 100111811

    【弁理士】

    【氏名又は名称】 山田 茂樹

【選任した代理人】

    【識別番号】 100121256

    【弁理士】

【氏名又は名称】 小寺 淳一

【手数料の表示】

【予納台帳番号】 024969

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208726

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 送受信装置

【特許請求の範囲】

【請求項 1】 複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、

各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート間における伝送遅延値の中でアクティブポートの組合わせに応じた最大値を保持する参照テーブルと、を有し、前記レジスタに割り当てる送受信装置の伝送遅延値として、前記アクティブ判定手段の出力信号に応じて前記参照テーブルから読み出された値を用いることを特徴とする送受信装置。

【請求項 2】 複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、

各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート間における伝送遅延値の中でアクティブポートの組合わせに応じた最大値と、各ポート単独での信号入出力に要する伝送遅延値の中でアクティブポートの組合わせに応じた最大値のうち、より大きい値を保持する参照テーブルと、を有し、前記レジスタに割り当てる送受信装置の伝送遅延値として、前記アクティブ判定手段の出力信号に応じて前記参照テーブルから読み出された値を用いることを特徴とする送受信装置。

【請求項 3】 複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、

各ポート間における伝送遅延値の最大値と、各ポート単独での信号入出力に要する伝送遅延値の最大値のうち、より大きい値を保持する参照テーブルを有し、前記レジスタに割り当てる送受信装置の伝送遅延値として、前記参照テーブルから読み出された値を用いることを特徴とする送受信装置。

【請求項 4】 複数の異なる種類のポートと、各ポートからシリアルバス上への

信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、

各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、

各ポート毎に、該ポートを除いた他ポート間における伝送遅延値の中でアクティブポートの組合わせに応じた最大値と、該ポート単独での信号入出力に要する伝送遅延値のうち、より大きい値を保持する参照テーブルと、

を有し、前記レジスタに割り当てる送受信装置の伝送遅延値として、前記アクティブ判定手段の出力信号と前記バス調停回路で得られた入力ポート情報に応じて前記参照テーブルから読み出された値を用いることを特徴とする送受信装置。

【請求項 5】複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述される第 1、第 2 レジスタと、を有して成る送受信装置において、

各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、該アクティブ判定手段の出力信号と第 2 レジスタを参照してアクティブポートの種類を判別し、その判別結果に応じて第 2 レジスタに格納された伝送遅延値を第 1 レジスタに割り当てる遅延設定手段と、を有することを特徴とする送受信装置。

【請求項 6】複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述される第 1、第 2 レジスタと、を有して成る送受信装置において、

各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、該アクティブ判定手段の出力信号と第 2 レジスタを参照してアクティブポートの種類を判別するとともに、前記バス調停回路と第 1、第 2 レジスタを各々接続する信号線を監視して他ノードから第 1、第 2 レジスタへのアクセス状況を判別し、その判別結果に応じて第 2 レジスタに格納された伝送遅延値を第 1 レジスタに割り当てる遅延設定手段と、を有することを特徴とする送受信装置。

【請求項 7】複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述される第 1、第 2 レジスタと、を有して成る送受信装置において、

各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、該

アクティブ判定手段の出力信号と第 2 レジスタを参照してアクティブポートの種類を判別するとともに、前記バス調停回路と第 1、第 2 レジスタを各々接続する信号線を監視して他ノードから第 1、第 2 レジスタへのアクセス状況を判別し、その判別結果に応じて第 2 レジスタに格納された伝送遅延値を他ノードへの返信パケットに割り当てる遅延設定手段と、を有することを特徴とする送受信装置。

【請求項 8】他ノードとの通信路に適用される通信規格が OP i.LINK であり、第 1 レジスタがベースレジスタ、第 2 レジスタが OP i.LINK ページであることを特徴とする請求項 5～請求項 7 のいずれかに記載の送受信装置。

【請求項 9】複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、

各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート間におけるジッタ値の中でアクティブポートの組合わせに応じた最大値を保持する参照テーブルと、を有し、前記レジスタに割り当てる送受信装置のジッタ値として、前記アクティブ判定手段の出力信号に応じて前記参照テーブルから読み出された値を用いることを特徴とする送受信装置。

【請求項 10】複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、

各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート毎に、該ポートと他ポートとの間におけるジッタ値の中でアクティブポートの組合わせに応じた最大値を保持する参照テーブルと、を有し、前記レジスタに割り当てる送受信装置のジッタ値として、前記アクティブ判定手段の出力信号と前記バス調停回路で得られた入力ポート情報に応じて前記参照テーブルから読み出された値を用いることを特徴とする送受信装置。

【請求項 11】複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述される第 1、第 2 レジスタと、を有して成る送受信装置において、

各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、該

アクティブ判定手段の出力信号と第2レジスタを参照してアクティブポートの種類を判別し、その判別結果に応じて第2レジスタに格納されたジッタ値を第1レジスタに割り当てるジッタ設定手段と、を有することを特徴とする送受信装置。

【請求項12】複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述される第1、第2レジスタと、を有して成る送受信装置において、

各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、該アクティブ判定手段の出力信号と第2レジスタを参照してアクティブポートの種類を判別するとともに、前記バス調停回路と第1、第2レジスタを各々接続する信号線を監視して他ノードから第1、第2レジスタへのアクセス状況を判別し、その判別結果に応じて第2レジスタに格納されたジッタ値を第1レジスタに割り当てるジッタ設定手段と、を有することを特徴とする送受信装置。

【請求項13】複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述される第1、第2レジスタと、を有して成る送受信装置において、

各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、該アクティブ判定手段の出力信号と第2レジスタを参照してアクティブポートの種類を判別するとともに、前記バス調停回路と第1、第2レジスタを各々接続する信号線を監視して他ノードから第1、第2レジスタへのアクセス状況を判別し、その判別結果に応じて第2レジスタに格納されたジッタ値を他ノードへの返信パケットに割り当てるジッタ設定手段と、を有することを特徴とする送受信装置。

【請求項14】他ノードとの通信路に適用される通信規格がOP i.LINKであって、第1レジスタがベースレジスタ、第2レジスタがOP i.LINKページであることを特徴とする請求項11～請求項13のいずれかに記載の送受信装置。

【請求項15】複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、

各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート間における伝送遅延値を保持する参照テーブルと、前記アクティブ判定手



段の出力信号に応じて前記参照テーブルに格納された全伝送遅延値の中からアクティブポート間における最大伝送遅延値を選択し、前記レジスタに割り当てる遅延選択手段と、を有することを特徴とする送受信装置。

【請求項 1 6】複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、

各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート間における伝送遅延値と各ポート単独での信号入出力に要する伝送遅延値を保持する参照テーブルと、前記アクティブ判定手段の出力信号に応じて前記参照テーブルに格納された全伝送遅延値の中からアクティブポートに関わる最大伝送遅延値を選択し、前記レジスタに割り当てる遅延選択手段と、を有することを特徴とする送受信装置。

【請求項 1 7】複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、

各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート間における伝送遅延値と各ポート単独での信号入出力に要する伝送遅延値を保持する参照テーブルと、前記アクティブ判定手段の出力信号と前記バス調停回路で得られた入力ポート情報に応じて、前記参照テーブルに格納された全伝送遅延値の中から、信号入力ポートを除いた他アクティブポート間における伝送遅延値と信号入力ポート単独での信号入出力に要する伝送遅延値の中で最も大きい値を選択し、前記レジスタに割り当てる遅延選択手段と、を有することを特徴とする送受信装置。

【請求項 1 8】複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、

各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート間におけるジッタ値を保持する参照テーブルと、前記アクティブ判定手段の出力信号に応じて前記参照テーブルに格納された全ジッタ値の中からアクティ

ポート間における最大ジッタ値を選択し、前記レジスタに割り当てるジッタ選択手段と、を有することを特徴とする送受信装置。

【請求項 19】複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、

各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート間におけるジッタ値を保持する参照テーブルと、前記アクティブ判定手段の出力信号と前記バス調停回路で得られた入力ポート情報に応じて、前記参照テーブルに格納された全ジッタ値の中から信号入力ポートと他アクティブポートとの間における最大伝送遅延値を選択し、前記レジスタに割り当てるジッタ選択手段と、を有することを特徴とする送受信装置。

【請求項 20】複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、

各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート毎に、該ポート及び該ポート用信号フォーマット変更部における伝送遅延値を保持する参照テーブルと、前記アクティブ判定手段の出力信号に応じて前記参照テーブルに格納されたアクティブポートにおける伝送遅延値の中から大きいものを順に 2 つ選択し、両値に物理層での信号処理に要する最大伝送遅延値を加算して前記レジスタに割り当てる遅延算出手段と、を有することを特徴とする送受信装置。

【請求項 21】複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、

各ポート毎に、該ポート及び該ポート用信号フォーマット変更部における伝送遅延値を保持する参照テーブルと、

前記参照テーブルに格納された伝送遅延値の中から大きいものを順に 2 つ選択して足し合わせた伝送遅延値と、あるポート単独での信号入出力に要する伝送遅延値を比較し、より大きい値に物理層での信号処理に要する最大伝送遅延値を加

算して、前記レジスタに割り当てる遅延算出手段と、

を有することを特徴とする送受信装置。

【請求項 2 2】複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、

各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、

各ポート毎に、該ポート及び該ポート用信号フォーマット変更部における伝送遅延値を保持する参照テーブルと、

前記アクティブ判定手段の出力信号と前記バス調停回路で得た入力ポート情報に応じて、前記参照テーブルに格納された信号入力ポートを除いたアクティブポートにおける伝送遅延値の中から大きいものを順に 2 つ選択して足し合わせた伝送遅延値と、信号入力ポート単独での信号入出力に要する伝送遅延値を比較し、より大きい値に物理層での信号処理に要する最大伝送遅延値を加算して、前記レジスタに割り当てる遅延算出手段と、

を有することを特徴とする送受信装置。

【請求項 2 3】複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、

各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート毎に、該ポート及び該ポート用信号フォーマット変更部におけるジッタ値を保持する参照テーブルと、前記アクティブ判定手段の出力信号に応じて前記参照テーブルに格納されたアクティブポートにおけるジッタ値の中から大きいものを順に 2 つ選択し、両値に物理層での信号処理に要する最大ジッタ値を加算して前記レジスタに割り当てるジッタ算出手段と、を有することを特徴とする送受信装置。

【請求項 2 4】複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、

各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、

各ポート毎に、該ポート及び該ポート用信号フォーマット変更部におけるジッタ値を保持する参照テーブルと、

前記アクティブ判定手段の出力信号と前記バス調停回路で得た入力ポート情報に応じて、信号入力ポート単独での信号入出力に要するジッタ値と、前記参照テーブルに格納された信号入力ポートを除いたアクティブポートにおける最大ジッタ値と、物理層での信号処理に要する最大ジッタ値を加算して、前記レジスタに割り当てるジッタ算出手段と、

を有することを特徴とする送受信装置。

【請求項 25】 他ノードとの通信路に適用される通信規格が、IEEE Std. 1394a-2000、IEEE Std. 1394b、或いはOP i.LINKのいずれかであることを特徴とする請求項 1～請求項 4、請求項 9、請求項 10、請求項 15～請求項 24 のいずれかに記載の送受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、信号をシリアル伝送するためのシリアルバス、例えば、IEEE発行の“IEEE Standard for a High Performance Serial Bus”，-IEEE Std. 1394a-2000（以下、「IEEE Std. 1394a-2000」規格と呼ぶ）にて標準化された高速シリアルバス（以下、1394シリアルバスと呼ぶ）を有して成る送受信装置（パーソナルコンピュータやその周辺機器、A V [Audio/Visual] 機器など）に関する。

【0002】

【従来の技術】

まず、「IEEE Std. 1394a-2000」規格について説明する。パーソナルコンピュータとプリンタ、ハードディスク、イメージスキャナ等の周辺機器、デジタルカメラ等の映像機器や音響機器（以下、このような端末機器を総称してノードと呼ぶ）との間で制御信号や主信号を転送するネットワークにおいては、近年、該ネットワークを構築するノードとして、1394シリアルバスを搭載したノード（以下、1394シリアルバスノードと呼ぶ）が採用され始めている。

【0003】

図 3 2 は「IEEE Std. 1394a-2000」規格 (p.63) 準拠した物理層回路 (以下、1394 物理層回路と呼ぶ) の一例を示すブロック図である。本図に示すように、従来の 1394 物理層回路は、バス調停回路 101 と、DS-リンク・エンコーダ/デコーダ回路 102 と、リンク層インターフェイス回路 103 と、レジスタ回路 104 と、「IEEE Std. 1394a-2000」規格に準拠した 3 つのトランシーバ回路 105、106、107 (以下、1394 メタルトランシーバ回路 105、106、107 と呼ぶ) と、を有して成る。

#### 【0004】

バス調停回路 101 は、1394 物理層回路の動作に必要な諸設定及び 1394 シリアルバス上へのデータ信号及び制御信号の送出タイミングを制御する。該バス調停回路 101 には、1394 物理層回路の動作条件が記述されたレジスタ回路 104 が接続されており、1394 物理層回路は、該レジスタ回路 104 に記述された条件に従って動作する。

#### 【0005】

DS-リンク・エンコーダ/デコーダ回路 102 は、上位層であるリンク層からのデータ信号をバス上で送受信するために、DS-リンク方式による変復調を行う。なお、DS-リンク変調とは、データ信号 [Data] とクロック信号の排他的論理和をストロブ信号 [Strobe] とし、データ信号 [Data] とストロブ信号 [Strobe] を 2 対の伝送路で送信する変調方法である。

#### 【0006】

リンク層インターフェイス回路 103 は、上位層であるリンク層とのデータ信号と制御信号の受け渡しを行う回路である。レジスタ回路 104 は、通常、上位層であるリンク層から制御され、レジスタ回路 104 に格納された記述内容の読み出し・書換えは、リンク層からリンク層インターフェイス回路 103 を介して行われる。1394 メタルトランシーバ回路 105、106、107 は、それぞれ他ノードとの間で 2 対のケーブルを用いて主信号と制御信号の受け渡しを行う。

#### 【0007】

図 3 3 はレジスタ回路 104 の記述内容を示すレジスタマップ (「IEEE Std. 1394a-2000」規格 (p.125) を参照) である。「IEEE Std. 1394a-2000」規格に

よると、該レジスタマップで示された記述内容は、リンク層からの制御によってのみ書換可能とされている。なお、該レジスタマップ中、0011番地・ビット4～7のディレイ領域 [Delay] には、1394物理層回路の伝送遅延値が割り当てられており、0100番地・ビット2～4のジッタ領域 [Jitter] には、ジッタ値が割り当てられている。その他の領域については説明を省略する。

#### 【0008】

続いて、伝送遅延の異なるポートが混在したノードについて説明する。近年、「IEEE Std. 1394a-2000」規格を家庭内でのネットワークに使用しようとする動きが見られているが、「IEEE Std. 1394a-2000」規格では、メタルケーブルの最大長が4.5 [m] と定められており、ケーブル長の制約で不便を強いられることがあった。

#### 【0009】

そこで、1394物理層回路を構成する複数の1394メタルトランシーバのうち、少なくとも1つを光トランシーバ等に置き換え、その通信路をメタルケーブルから光ファイバ (POF [Plastic Optical Fiber] など) に置き換えることで、長距離伝送を可能とする「IEEE Std. 1394b」規格や「OP i.LINK」規格などが規格化されている。

#### 【0010】

このような規格においては、1つのノードにメタルトランシーバと光トランシーバが混在することがあった。この際、該ノードでは、メタルポート用の信号を光ポート用の信号に変換する処理などが行われることもあり、光ポートはDSポートと比較して十分に大きな伝送遅延を持つ場合があった。また、「IEEE Std. 1394a-2000」規格に準拠したノードであって、光トランシーバを持たないノードであっても、「IEEE Std. 1394a-2000」規格には、ポートの伝送遅延などについて最大値の規定しか存在しないため、ポートによる伝送遅延の差異が存在する場合があった。

#### 【0011】

次に、バスの最適化について説明する。「IEEE Std. 1394a-2000」規格において、異なるノードがパケットを同時にバス上へ流さないことを保証するために、

調停信号 [Arbitration] もデータも転送することができないバスアイドル時間（以下、ギャップ [gap] と呼ぶ）が定められている。なお、該ギャップには、非同期パケット [Asynchronous packet] と認識パケット [Acknowledge packet] の間のバスアイドル時間であるアクノリッジギャップ [Acknowledge gap] と、同期パケット [Isochronous packet] 間のバスアイドル時間であるアイソクロナスギャップ [Isochronous gap] と、非同期パケット間のバスアイドル時間であるサブアクションギャップ [Subaction gap] と、調停後に再びバス所有権を競うようになるまでの最短バスアイドル時間（非同期パケット送信が各ノード毎に 1 回保証される平等間隔 [fairness interval] 開始時におけるバスアイドル時間）である調停リセットギャップ [Arbitration reset gap] という 4 種類があり、それぞれに最小値、最大値が定められている。

## 【 0 0 1 2 】

上記ギャップのうち、アクノリッジギャップ及びアイソクロナスギャップは、0. 0 4 [μs] ～ 0. 0 5 [μs] の大きさで規定される。

## 【 0 0 1 3 】

サブアクションギャップは、

【数 1】

$$\frac{(27 + \text{Gap\_count} \times 16)}{\text{BASE\_RATE}} - \text{PHY\_delay}_{\max} \sim \frac{(29 + \text{Gap\_count} \times 16)}{\text{BASE\_RATE}} + \text{PHY\_delay}_{\min}$$

の大きさで規定される。

## 【 0 0 1 4 】

調停リセットギャップは、

【数 2】

$$\frac{(51 + \text{Gap\_count} \times 32)}{\text{BASE\_RATE}} - \text{PHY\_delay}_{\max} \sim \frac{(53 + \text{Gap\_count} \times 32)}{\text{BASE\_RATE}} + \text{PHY\_delay}_{\min}$$

の大きさで規定される。

## 【 0 0 1 5 】

ここで、上式中のベースレート [BASE\_RATE] は、98.294～98.314 [Mbit/s] の値をとる定数である。従って、上記ギャップを小さくするためには、上式中のギャップカウント [Gap\_count] と物理層遅延 [PHY\_delay] を小さくする必要がある。なお、物理層遅延 [PHY\_delay] は、あるノードに信号が入力されてから該信号がリピートされるまでに要する時間である。また、ギャップカウント [Gap\_count] は、バスのトポロジに従って転送効率を向上させるためにギャップを引き出す目的で用いられるものであり、可能な範囲で該ギャップカウント [Gap\_count] を小さくすることによって、バスの転送効率向上を図ることができる。

## 【0016】

また、バスを管理するノード（以下、バスマネージャと呼ぶ）は、セルフIDパケットによって、バスのトポロジや個々の物理層遅延 [PHY\_delay] を知ることができ、次の（1）式を用いて、両端の物理層を含まない最長バスを介した信号伝達時間の2倍に相当する伝送遅延時間 [Round-trip\_delay] を計算することができる。

## 【数3】

Round-trip\_delay

$$= 2 \times (\text{Hops} - 1) \times (\text{Cable\_delay} + \text{PHY\_delay}) + 2 \times \text{Cable\_delay} \quad \dots(1)$$

## 【0017】

なお、バスマネージャが最長バスにおける伝送遅延を計算する手法は、トポロジによって以下の3通りに分けられる。すなわち、（a）バスマネージャがリーフノードであり最長パス上に存在する場合、b）バスマネージャがリーフノードではなく最長パス上に存在する場合、（c）バスマネージャが最長パス上に存在しない場合、の3通りである。

## 【0018】

上記全ての場合において、バスマネージャは、自身と対象ノードの信号伝達時間 [Propagation time]（経路上における全てのケーブル遅延や物理層遅延を加えた時間）を測定し、該結果に基づいて伝送遅延時間 [Round-trip\_delay] を算



出する。なお、バスマネージャは、ノードに対して一定時間内でセルフ I D パケットを返すように要求する p i n g パケットの伝達時間と、該 p i n g パケットに対してセルフ I D パケットが返信されるまでの時間 [ping time] を用い、次の (2)、(3) 式に基づいて信号伝達時間 [Propagation time] を測定する。

【数 4】

$$\text{Propagation time}_{\min} = \text{定数} - \text{RESPONSE\_TIME}_{\max} - 2 \times \sum (\text{PHY jitter}) \quad \dots(2)$$

$$\text{Propagation time}_{\max} = \text{定数} - \text{RESPONSE\_TIME}_{\min} + 2 \times \sum (\text{PHY jitter}) \quad \dots(3)$$

【 0 0 1 9】

なお、上式中のレスポンスタイム [RESPONSE\_TIME] は、次に示す (4) 式で定義される。

【数 5】

$$40[\text{ns}] < \text{RESPONSE\_TIME} < \text{PHY\_delay} + 100[\text{ns}] \quad \dots(4)$$

【 0 0 2 0】

続いて、上記 (a) ～ (c) 各々における伝送遅延時間 [Round-trip\_delay] の求め方について、図 3 4 を参照しながら詳細説明する。図 3 4 は伝送遅延時間 [Round-trip\_delay] を求める際に用いるバストポロジの一例を示す図である。

【 0 0 2 1】

(a) のケースは、図 3 4 にてノード  $\alpha$  とバスマネージャ M しか存在しない場合に相当する。従って、バスマネージャ M は、前出の (3) 式を用いて伝送遅延時間 [Round-trip\_delay] を測定することができる。

【 0 0 2 2】

(b) のケースは、図 3 4 にてノード  $\alpha$  とノード  $\gamma$  との間が最長パスである場合に相当する。従って、バスマネージャ M は、次に示す (5) 式に基づいて、自身とノード  $\alpha$  間、自身とノード  $\gamma$  間の各信号伝達時間 [Propagation time] を測定した上で、自身の物理層遅延 [PHY\_delay] を計上することにより、伝送遅延時間 [Round-trip\_delay] を求めることができる。

## 【数 6】

$$\text{Round-trip\_delay}_{(\alpha,\gamma)} = \text{Propagation time}_{\alpha} + \text{Propagation time}_{\gamma} + 2 \times \text{PHY\_delay}_M \quad \dots(5)$$

## 【0 0 2 3】

(c) のケースは、図 3 4 にてノード  $\gamma$  とノード  $\delta$  との間が最長パスである場合に相当する。従って、バスマネージャ M は、次に示す (6) 式に基づいて、自身とノード  $\gamma$  間、自身とノード  $\delta$  間の各信号伝達時間 [Propagation time] と、最長パス上に存在するノードのうちバスマネージャ M に最も近いノードまでの信号伝達時間 [Propagation time] を測定した上で、余分に重複計測された物理層遅延 [PHY\_delay] を除くことにより、伝送遅延時間 [Round-trip\_delay] を求めることができる。

## 【数 7】

$$\begin{aligned} \text{Round-trip\_delay}_{(\gamma,\delta)} = & \text{Propagation time}_{\gamma} + \text{Propagation time}_{\delta} \\ & + 2 \times (\text{Propagation time}_{\beta} - \text{PHY\_delay}_{\beta}) - 240 \text{ ns} \quad \dots(6) \end{aligned}$$

## 【0 0 2 4】

また、このようにして求められた伝送遅延時間 [Round-trip\_delay] を次に示す (7) 式に代入することにより、前出のギャップカウント [Gap\_count] を求めることができる。

## 【数 8】

$$\frac{\text{BASE\_RATE}_{\max} \times \left( \text{Round-trip\_delay}_{\max} + \text{RESPONSE\_TIME}_{i,\max} \right) - \text{MIN\_IDLE\_TIME} + \text{PHY\_delay}_{i,\max}}{32 - 20 \times \frac{\text{BASE\_RATE}_{\max}}{\text{BASE\_RATE}_{\min}}} + 29 \times \frac{\text{BASE\_RATE}_{\max} - 51}{\text{BASE\_RATE}_{\min}} \quad \dots(7)$$

(MIN\_IDLE\_TIME = 0.04 [μs])

## 【0 0 2 5】

続いて、「OP i.LINK」規格に準拠したノードの P H Y レジスタについて説明を行う。本規格準拠の P H Y レジスタマップは、「OP i.LINK」規格の光ポートをサポートするために「IEEE Std. 1394a-2000」規格準拠の P H Y レジスタマップにいくつかの追加が為されたものであり、ノードの伝送遅延及びジッタに関し

ては、図 3 5 に示す OP i.LINK ページ (「OP i.LINK ver.2」規格 (p.85) 参照) が図 3 3 で示したベースレジスタに付加された形となっている。

#### 【 0 0 2 6 】

図 3 5 に示す OP i.LINK ページにおいて、1 0 1 1 番地・ビット 0 ～ 3 のディレイ OP-DS 領域 [Delay OP-DS] には、光ポート-DSポート間の最大伝送遅延値が割り当てられており、1 0 1 1 番地・ビット 4 ～ 7 のジッタ OP-DS 領域 [Jitter OP-DS] には、光ポート-DSポート間の最大ジッタ値が割り当てられている。また、続く 1 1 0 0 番地・ビット 0 ～ 3 のディレイ DS-DS 領域 [Delay DS-DS] には、DSポート-DSポート間の最大伝送遅延値が割り当てられており、1 1 0 0 番地・ビット 4 ～ 7 のジッタ DS-DS 領域 [Jitter DS-DS] には、DSポート-DSポート間の最大ジッタ値が割り当てられている。

#### 【 0 0 2 7 】

さらに、1 1 0 1 番地～1 1 1 0 番地に亘る領域 [T0] ～ [T15] には、ポートが [OP i.LINK] 規格に準拠した光ポートであるか DSポートであるかについての情報が割り当てられている。なお、PHY レジスタマップ (図 3 3 参照) の 0 0 1 1 番地・ビット 4 ～ 7 のディレイ領域 [Delay] には、OP-OPポート間の最大伝送遅延値が割り当てられており、0 1 0 0 番地・ビット 2 ～ 4 のジッタ領域 [Jitter] には、OP-OPポート間の最大ジッタ値が割り当てられている。その他の領域については説明を省略する。

#### 【 0 0 2 8 】

バスを管理するバスマネージャが「OP i.LINK」準拠ノードである場合、該バスマネージャは、まず ping パケットを目的ノードに送信し、これに対してノードが返したセルフ ID パケット (図 3 6 参照) の p 0 ～ p N フィールドを読むことでポートのアクティブ状態判定を行う。また、リモートアクセスパケットにより、OP i.LINK ページの領域 [T0] ～ [T15] を読み、ポート種類を判別する。

#### 【 0 0 2 9 】

##### 【発明が解決しようとする課題】

ところで、前述のようにメタルケーブルを光ファイバに置き換え、1 3 9 4 メタルランシーバを光ランシーバに置き換えて伝送距離の拡張を行う場合を考

える。例えば、D S ポートのみを持つ「IEEE Std. 1394a-2000」規格準拠のノードであれば、D S ポートの伝送遅延は十分小さく、また全てのD S ポートの伝送遅延は同じとみなすことが可能であったため、どのポートの組み合わせにおいても物理層遅延 [PHY\_delay] 及び物理層ジッタ [PHY\_jitter] は同一となり、固定値で問題がなかった。

#### 【 0 0 3 0 】

しかし、光ポートはD S ポートと比較して、その伝送遅延やジッタが大きくなる場合があり、光ポートの伝送速度によっても、その伝送遅延やジッタが異なる場合がある。そのため、通信に用いるポートの組み合わせによってはノードの伝送遅延やジッタに差違が生じる場合があり、ノードの伝送遅延やジッタの大きさを固定値にしておく、最適な信号伝達時間 [Propagation time] が求まらない場合があった。以下では、図 3 7 ～ 図 4 1 を参照しながら具体的に説明する。

#### 【 0 0 3 1 】

まず、図 3 7 に示す場合について説明する。ノード A は、物理層での伝送遅延を含んだ 4 ポート a 1 0 1、a 1 0 2、a 1 0 3、a 1 0 4 を有して成り、各ポートにおける伝送遅延の大きさには、 $a 1 0 2 > a 1 0 3 > a 1 0 4 > a 1 0 1$  という関係があるとする。また、ポート a 1 0 1、a 1 0 2、a 1 0 4 はアクティブ状態（他ノードと通信可能な状態）であり、ポート a 1 0 3 は非アクティブ状態（他ノードと通信不可能な状態；他ノードとの通信能力は有するが、他ノードと接続されていない状態、或いはサスペンド状態など）であるとする。

#### 【 0 0 3 2 】

このような場合、従来の手法では、全ポート a 1 0 1 ～ a 1 0 4 の組み合わせの中で、最大の伝送遅延を持つポート a 1 0 2 とポート a 1 0 3 との間の伝送遅延 A 1 が、ノード A の伝送遅延として予め固定されていた。しかし、ポート a 1 0 3 は非アクティブ状態の不使用ポートであり、ノード A の実最大伝送遅延は、ポート a 1 0 2 とポート 1 0 4 との間の伝送遅延 A 2 ( $< A 1$ ) であることから、従来の手法では、ノード A の伝送遅延を不要に大きく設定してしまう結果となっていた。このように伝送遅延を不要に大きく設定してしまうことは、信号伝達時間 [Propagation time] の増大に繋がり、ギャップカウント [Gap\_count] 引き

てはギャップ自体を大きく取ってしまうことになるため、非効率的であった。

#### 【 0 0 3 3 】

次に、図 3 8 に示す場合について説明する。ノード B は、物理層での伝送遅延を含んだ 3 ポート  $b101$ 、 $b102$ 、 $b103$  を有して成り、各ポートにおける伝送遅延の大きさには、 $b101 \gg b102 > b103$  という関係があるとする。また、ポート  $b101$  に信号が入力され、同ポートから出力されるまでの伝送遅延  $B2$  が、他のどのポート間における伝送遅延よりも大きいとする。

#### 【 0 0 3 4 】

このような場合、従来の手法では、全ポート  $b101 \sim b103$  の組合わせの中で、最大の伝送遅延を持つポート  $b101$  とポート  $b102$  との間の伝送遅延  $B1$  が、ノード B の伝送遅延として予め固定されていた。しかし、ポート  $b101$  から入力された信号が同ポートから出力される場合、ノード B の伝送遅延として予め設定された伝送遅延  $B1$  よりも、実際の伝送遅延  $B2$  の方が大きな値となるため、ギャップカウント [Gap\_count] が適切な値よりも小さな値となり、十分なギャップを保証できなくなるおそれがあった。

#### 【 0 0 3 5 】

次に、図 3 9 に示す場合について説明する。本図に示すように、バスマネージャ BM が最長パス上にない場合、前出した (6) 式を用いることで伝送遅延時間 [Round-trip\_delay] を求めることができるのは、先に述べた通りである。

#### 【 0 0 3 6 】

このような場合、従来の手法では、最大のポート間伝送遅延をノードの伝送遅延として設定していたため、PHY\_delay\_[Node\_C0] の値として、伝送遅延  $C3$  とは関係のない伝送遅延、すなわち (6) 式の意図する PHY\_delay\_[Node\_C0] とは異なる伝送遅延を設定してしまう結果となっていた。このように意図しない伝送遅延を設定してしまうことは、信号伝達時間 [Propagation time] の増大に繋がりを、ギャップカウント [Gap\_count] 引いてはギャップ自体を大きく取ってしまうことになるため、非効率的であった。

#### 【 0 0 3 7 】

なお、先に述べた通り、ノードが「OP i.LINK」規格に準拠している場合、そ

のベースレジスタに割り当てられたディレイ領域には、光ポートー光ポート間の伝送遅延値が格納されており、OP i.LINKページに割り当てられたディレイOPーDS領域とディレイDSーDS領域には、それぞれ光ポートーDSポート間、DSーDSポート間の伝送遅延値が格納されている（図35参照）。従って、バス上に存在するバスマネージャが「OP i.LINK」規格に準拠したノードである場合ならば、該バスマネージャはベースレジスタに格納された光ポートー光ポート間の伝送遅延値だけでなく、OP i.LINKページに格納された光ポートーDSポート間、DSーDSポート間の伝送遅延値も読み出すことができる。

## 【0038】

しかし、バス上に存在するバスマネージャが「OP i.LINK」規格に準拠していないノードである場合、該バスマネージャはベースレジスタに格納された光ポートー光ポート間の伝送遅延値しか読み出すことができない。従って、光ポートを有した「OP i.LINK」規格準拠のノードにおいて、DSポートのみがアクティブ状態である場合、「OP i.LINK」規格に準拠していないバスマネージャは、DSーDSポート間の伝送遅延ではなく、より大きな値となる光ポートー光ポート間の伝送遅延をノードの伝送遅延として判断してしまっていた。このように伝送遅延を不要に大きく設定してしまうことは、ギャップカウント [Gap\_count]、引いてはギャップ自体を大きく取ってしまうことになるため、非効率的であった。

## 【0039】

続いて、図40に示す場合について説明する。ノードEは、物理層での伝送遅延を含んだ4ポートe101、e102、e103、e104を有して成る。なお、ポートe101、e102、e104はアクティブ状態であり、ポートe103は非アクティブ状態であるとする。

## 【0040】

このような場合、従来の手法では、全ポートe101～e104の中で最大のジッタを持つ組合わせがポートe102とポートe103との組合わせである場合、そのジッタE1がノードEのジッタとして予め固定されていた。しかし、ポートe103は非アクティブ状態の不使用ポートであるため、従来の手法では、ノードEのジッタを不要に大きく設定してしまう結果となっていた。このように

ジッタを不要に大きく設定してしまうことは、ギャップカウント [Gap\_count] 引いてはギャップ自体を大きく取ってしまうことになるため非効率的であった。

#### 【 0 0 4 1 】

最後に、図 4 1 に示す場合について説明する。本図に示すノード F\_\_0 では、ポート f 1 0 1、f 1 0 2、f 1 0 3、f 1 0 4 が各々ノード F\_\_1、F\_\_2、F\_\_3、F\_\_4 に接続されて通信可能状態とされている。なお、ポート f 1 0 1 を含む組み合わせでの最大ジッタは、ポート f 1 0 1 とポート f 1 0 2 を組み合わせたときのジッタ F 1 であるとする。また、全ポートを含む組み合わせでの最大ジッタは、ポート f 1 0 2 とポート f 1 0 3 を組み合わせたときのジッタ F 2 であるとする。

#### 【 0 0 4 2 】

このような場合、従来の手法では、全ポートを含む組み合わせでの最大ジッタ F 2 がノード F\_\_0 のジッタとして予め固定されていた。しかし、信号伝達時間 [Propagation time] を計算する際に必要となる値は、信号が入力されたポートを含む組み合わせでの最大ジッタである。そのため、例えばノード F\_\_1 に接続されたポート f 1 0 1 から制御信号が入力された場合、従来の手法では、ノード F\_\_0 のジッタを不要に大きく設定してしまう結果となっていた。このようにジッタを不要に大きく設定してしまうことは、ギャップカウント [Gap\_count]、引いてはギャップ自体を大きく取ってしまうことになるため非効率的であった。

#### 【 0 0 4 3 】

なお、先に述べた通り、ノードが「OP i.LINK」規格に準拠している場合、そのベースレジスタに割り当てられたジッタ領域には、光ポートー光ポート間のジッタ値が格納されており、OP i.LINKページに割り当てられたジッタ OP-D S 領域とジッタ D S-D S 領域には、それぞれ光ポートーD Sポート間、D S-D Sポート間のジッタ値が格納されている（図 3 5 参照）。従って、バス上に存在するバスマネージャが「OP i.LINK」規格に準拠したノードである場合ならば、該バスマネージャはベースレジスタに格納された光ポートー光ポート間のジッタ値だけでなく、OP i.LINKページに格納された光ポートーD Sポート間、D S-D Sポート間のジッタ値も読み出すことができる。

## 【 0 0 4 4 】

しかし、バス上に存在するバスマネージャが「OP i.LINK」規格に準拠していないノードである場合、該バスマネージャはベースレジスタに格納された光ポートー光ポート間のジッタ値しか読み出すことができない。従って、光ポートを有した「OP i.LINK」規格準拠のノードにおいて、DSポートのみがアクティブ状態である場合、「OP i.LINK」規格に準拠していないバスマネージャは、DSーDSポート間のジッタではなく、より大きな値となる光ポートー光ポート間のジッタをノードのジッタとして判断してしまっていた。このようにジッタを不要に大きく設定してしまうことは、ギャップカウント [Gap\_count]、引いてはギャップ自体を大きく取ってしまうことになるため、非効率的であった。

## 【 0 0 4 5 】

本発明は、上記の問題点に鑑み、効率の良い通信を行うことが可能な送受信装置を提供することを目的とする。

## 【 0 0 4 6 】

## 【課題を解決するための手段】

上記目的を達成するために、本発明に係る送受信装置は、複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート間における伝送遅延値の中でアクティブポートの組合わせに応じた最大値を保持する参照テーブルと、を有し、前記レジスタに割り当てる送受信装置の伝送遅延値として、前記アクティブ判定手段の出力信号に応じて前記参照テーブルから読み出された値を用いる構成としている。このような構成とすることにより、伝送遅延値を不要に大きく設定してしまうことがなくなるので、効率の良い通信を行うことが可能となる。

## 【 0 0 4 7 】

また、本発明に係る送受信装置は、複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、



各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート間における伝送遅延値の中でアクティブポートの組合わせに応じた最大値と各ポート単独での信号入出力に要する伝送遅延値の中でアクティブポートの組合わせに応じた最大値のうち、より大きい値を保持する参照テーブルと、を有し、前記レジスタに割り当てる送受信装置の伝送遅延値として、前記アクティブ判定手段の出力信号に応じて前記参照テーブルから読み出された値を用いる構成としてもよい。このような構成とすることにより、同一ポートで信号の入出力が為される場合でも、送受信装置の伝送遅延値を過小設定してしまうことがなくなるため、確実な通信を行うことが可能となる。

## 【 0 0 4 8 】

また、本発明に係る送受信装置は、複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、各ポート間における伝送遅延値の最大値と、各ポート単独での信号入出力に要する伝送遅延値の最大値のうち、より大きい値を保持する参照テーブルを有し、前記レジスタに割り当てる送受信装置の伝送遅延値として、前記参照テーブルから読み出された値を用いる構成としてもよい。このような構成とすることにより、同一ポートで信号の入出力が為される場合でも、送受信装置の伝送遅延値を過小設定してしまうことがなくなるため、確実な通信を行うことが可能となる。

## 【 0 0 4 9 】

また、本発明に係る送受信装置は、複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート毎に、該ポートを除いた他ポート間における伝送遅延値の中でアクティブポートの組合わせに応じた最大値と、該ポート単独での信号入出力に要する伝送遅延値のうち、より大きい値を保持する参照テーブルと、を有し、前記レジスタに割り当てる送受信装置の伝送遅延値として、前記アクティブ判定手段の出力信号と前記バス調停回路で得られた入力ポート情報に応じて前記参照テーブルから読

み出された値を用いる構成としてもよい。このような構成とすることにより、伝送遅延値を不要に大きく設定してしまうことがなくなるので、効率の良い通信を行うことが可能となる。

## 【 0 0 5 0 】

また、本発明に係る送受信装置は、複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述される第 1、第 2 レジスタと、を有して成る送受信装置において、各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、該アクティブ判定手段の出力信号と第 2 レジスタを参照してアクティブポートの種類を判別し、その判別結果に応じて第 2 レジスタに格納された伝送遅延値を第 1 レジスタに割り当てる遅延設定手段と、を有する構成としてもよい。このような構成とすることにより、バスを管理するバスマネージャの準拠規格に依ることなく、アクティブポートの種類に応じた伝送遅延値を設定することができるので、効率の良い通信を行うことが可能となる。

## 【 0 0 5 1 】

また、本発明に係る送受信装置は、複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述される第 1、第 2 レジスタと、を有して成る送受信装置において、各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、該アクティブ判定手段の出力信号と第 2 レジスタを参照してアクティブポートの種類を判別するとともに、前記バス調停回路と第 1、第 2 レジスタを各々接続する信号線を監視して他ノードから第 1、第 2 レジスタへのアクセス状況を判別し、その判別結果に応じて第 2 レジスタに格納された伝送遅延値を第 1 レジスタに割り当てる遅延設定手段と、を有する構成としてもよい。このような構成とすることにより、バスを管理するバスマネージャの準拠規格に依ることなく、アクティブポートの種類に応じた伝送遅延値を設定することができるので、効率の良い通信を行うことが可能となる。

## 【 0 0 5 2 】

また、本発明に係る送受信装置は、複数の異なる種類のポートと、各ポートか

らシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述される第 1、第 2 レジスタと、を有して成る送受信装置において、各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、該アクティブ判定手段の出力信号と第 2 レジスタを参照してアクティブポートの種類を判別するとともに、前記バス調停回路と第 1、第 2 レジスタを各々接続する信号線を監視して他ノードから第 1、第 2 レジスタへのアクセス状況を判別し、その判別結果に応じて第 2 レジスタに格納された伝送遅延値を他ノードへの返信パケットに割り当てる遅延設定手段と、を有する構成としてもよい。このような構成とすることにより、バスを管理するバスマネージャの準拠規格に依ることなく、アクティブポートの種類に応じた伝送遅延値を設定することができるので、効率の良い通信を行うことが可能となる。

## 【 0 0 5 3 】

また、本発明に係る送受信装置は、複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート間におけるジッタ値の中でアクティブポートの組合わせに応じた最大値を保持する参照テーブルと、を有し、前記レジスタに割り当てる送受信装置のジッタ値として、前記アクティブ判定手段の出力信号に応じて前記参照テーブルから読み出された値を用いる構成にしてもよい。このような構成とすることにより、ジッタ値を不要に大きく設定してしまうことがなくなるので、効率の良い通信を行うことが可能となる。

## 【 0 0 5 4 】

また、本発明に係る送受信装置は、複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート毎に、該ポートと他ポートとの間におけるジッタ値の中でアクティブポートの組合わせに応じた最大値を保持する参照テーブルと、を有し、前記レジスタに

割り当てる送受信装置のジッタ値として、前記アクティブ判定手段の出力信号と前記バス調停回路で得られた入力ポート情報に応じて前記参照テーブルから読み出された値を用いる構成としてもよい。このような構成とすることにより、ジッタ値を不要に大きく設定してしまうことがなくなるので、効率の良い通信を行うことが可能となる。

## 【 0 0 5 5 】

また、本発明に係る送受信装置は、複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述される第1、第2レジスタと、を有して成る送受信装置において、各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、該アクティブ判定手段の出力信号と第2レジスタを参照してアクティブポートの種類を判別し、その判別結果に応じて第2レジスタに格納されたジッタ値を第1レジスタに割り当てるジッタ設定手段と、を有する構成としてもよい。このような構成とすることにより、バスを管理するバスマネージャの準拠規格に依ることなく、アクティブポートの種類に応じたジッタ値を設定することができるので、効率の良い通信を行うことが可能となる。

## 【 0 0 5 6 】

また、本発明に係る送受信装置は、複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述される第1、第2レジスタと、を有して成る送受信装置において、各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、該アクティブ判定手段の出力信号と第2レジスタを参照してアクティブポートの種類を判別するとともに、前記バス調停回路と第1、第2レジスタを各々接続する信号線を監視して他ノードから第1、第2レジスタへのアクセス状況を判別し、その判別結果に応じて第2レジスタに格納されたジッタ値を第1レジスタに割り当てるジッタ設定手段と、を有する構成としてもよい。このような構成とすることにより、バスを管理するバスマネージャの準拠規格に依ることなく、アクティブポートの種類に応じたジッタ値を設定することができるので、効率の良い通信を行うことが可能となる。

## 【 0 0 5 7 】

また、本発明に係る送受信装置は、複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述される第 1、第 2 レジスタと、を有して成る送受信装置において、各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、該アクティブ判定手段の出力信号と第 2 レジスタを参照してアクティブポートの種類を判別するとともに、前記バス調停回路と第 1、第 2 レジスタを各々接続する信号線を監視して他ノードから第 1、第 2 レジスタへのアクセス状況を判別し、その判別結果に応じて第 2 レジスタに格納されたジッタ値を他ノードへの返信パケットに割り当てるジッタ設定手段と、を有する構成としてもよい。このような構成とすることにより、バスを管理するバスマネージャの準拠規格に依ることなく、アクティブポートの種類に応じたジッタ値を設定することができるので、効率の良い通信を行うことが可能となる。

## 【 0 0 5 8 】

また、本発明に係る送受信装置は、複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート間における伝送遅延値を保持する参照テーブルと、前記アクティブ判定手段の出力信号に応じて前記参照テーブルに格納された全伝送遅延値の中からアクティブポート間における最大伝送遅延値を選択し、前記レジスタに割り当てる遅延選択手段と、を有する構成にしてもよい。このような構成とすることにより、伝送遅延値を不要に大きく設定してしまうことがなくなるので、効率の良い通信を行うことが可能となる。

## 【 0 0 5 9 】

また、本発明に係る送受信装置は、複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポ

ート間における伝送遅延値と各ポート単独での信号入出力に要する伝送遅延値を保持する参照テーブルと、前記アクティブ判定手段の出力信号に応じて前記参照テーブルに格納された全伝送遅延値の中からアクティブポートに関わる最大伝送遅延値を選択し、前記レジスタに割り当てる遅延選択手段と、を有する構成としてもよい。このような構成とすることにより、同一ポートで信号の入出力が為される場合でも、送受信装置の伝送遅延値を過小設定してしまうことがなくなるため、確実な通信を行うことが可能となる。

## 【 0 0 6 0 】

また、本発明に係る送受信装置は、複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート間における伝送遅延値と各ポート単独での信号入出力に要する伝送遅延値を保持する参照テーブルと、前記アクティブ判定手段の出力信号と前記バス調停回路で得られた入力ポート情報に応じて、前記参照テーブルに格納された全伝送遅延値の中から、信号入力ポートを除いた他アクティブポート間における伝送遅延値と信号入力ポート単独での信号入出力に要する伝送遅延値の中で最も大きい値を選択し、前記レジスタに割り当てる遅延選択手段と、を有する構成としてもよい。このような構成とすることにより、伝送遅延値を不要に大きく設定してしまうことがなくなるので、効率の良い通信を行うことが可能となる。

## 【 0 0 6 1 】

また、本発明に係る送受信装置は、複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート間におけるジッタ値を保持する参照テーブルと、前記アクティブ判定手段の出力信号に応じて前記参照テーブルに格納された全ジッタ値の中からアクティブポート間における最大ジッタ値を選択し、前記レジスタに割り当てるジッタ選択手段と、を有する構成にしてもよい。このような構成とすることにより、ジッタ

値を不要に大きく設定してしまうことがなくなるので、効率の良い通信を行うことが可能となる。

## 【 0 0 6 2 】

また、本発明に係る送受信装置は、複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート間におけるジッタ値を保持する参照テーブルと、前記アクティブ判定手段の出力信号と前記バス調停回路で得られた入力ポート情報に応じて、前記参照テーブルに格納された全ジッタ値の中から信号入力ポートと他アクティブポートとの間における最大伝送遅延値を選択し、前記レジスタに割り当てるジッタ選択手段と、を有する構成にしてもよい。このような構成とすることにより、ジッタ値を不要に大きく設定してしまうことがなくなるので、効率の良い通信を行うことが可能となる。

## 【 0 0 6 3 】

また、本発明に係る送受信装置は、複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート毎に、該ポート及び該ポート用信号フォーマット変更部における伝送遅延値を保持する参照テーブルと、前記アクティブ判定手段の出力信号に応じて前記参照テーブルに格納されたアクティブポートにおける伝送遅延値の中から大きいものを順に2つ選択し、両値に物理層での信号処理に要する最大伝送遅延値を加算して前記レジスタに割り当てる遅延算出手段と、を有する構成としてもよい。このような構成とすることにより、伝送遅延値を不要に大きく設定してしまうことがなくなるので、効率の良い通信を行うことが可能となる。

## 【 0 0 6 4 】

また、本発明に係る送受信装置は、複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調

停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、各ポート毎に、該ポート及び該ポート用信号フォーマット変更部における伝送遅延値を保持する参照テーブルと、前記参照テーブルに格納された伝送遅延値の中から大きいものを順に2つ選択して足し合わせた伝送遅延値と、あるポート単独での信号入出力に要する伝送遅延値を比較し、より大きい値に物理層での信号処理に要する最大伝送遅延値を加算して、前記レジスタに割り当てる遅延算出手段と、を有する構成としてもよい。このような構成とすることにより、同一ポートで信号の入出力が為される場合でも、送受信装置の伝送遅延値を過小設定してしまうことがなくなるため、確実な通信を行うことが可能となる。

## 【 0 0 6 5 】

また、本発明に係る送受信装置は、複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート毎に、該ポート及び該ポート用信号フォーマット変更部における伝送遅延値を保持する参照テーブルと、前記アクティブ判定手段の出力信号と前記バス調停回路で得た入力ポート情報に応じて、前記参照テーブルに格納された信号入力ポートを除いたアクティブポートにおける伝送遅延値の中から大きいものを順に2つ選択して足し合わせた伝送遅延値と、信号入力ポート単独での信号入出力に要する伝送遅延値を比較し、より大きい値に物理層での信号処理に要する最大伝送遅延値を加算して、前記レジスタに割り当てる遅延算出手段と、を有する構成にしてもよい。このような構成とすることにより、伝送遅延値を不要に大きく設定してしまうことがなくなるので、効率の良い通信を行うことが可能となる。

## 【 0 0 6 6 】

また、本発明に係る送受信装置は、複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート毎に、該ポート及び該ポート用信号フォーマット変更部におけるジッタ値を



保持する参照テーブルと、前記アクティブ判定手段の出力信号に応じて前記参照テーブルに格納されたアクティブポートにおけるジッタ値の中から大きいものを順に2つ選択し、両値に物理層での信号処理に要する最大ジッタ値を加算して前記レジスタに割り当てるジッタ算出手段と、を有する構成としてもよい。このような構成とすることにより、ジッタ値を不要に大きく設定してしまうことがなくなるので、効率の良い通信を行うことが可能となる。

## 【0067】

また、本発明に係る送受信装置は、複数の異なる種類のポートと、各ポートからシリアルバス上への信号送出タイミングを制御するバス調停回路と、該バス調停回路の動作条件が記述されるレジスタと、を有して成る送受信装置において、各ポートがアクティブ状態であるか否かを判別するアクティブ判定手段と、各ポート毎に、該ポート及び該ポート用信号フォーマット変更部におけるジッタ値を保持する参照テーブルと、前記アクティブ判定手段の出力信号と前記バス調停回路で得た入力ポート情報に応じて、信号入力ポート単独での信号入出力に要するジッタ値と、前記参照テーブルに格納された信号入力ポートを除いたアクティブポートにおける最大ジッタ値と、物理層での信号処理に要する最大ジッタ値を加算して、前記レジスタに割り当てるジッタ算出手段と、を有する構成としてもよい。このような構成とすることにより、ジッタ値を不要に大きく設定してしまうことがなくなるので、効率の良い通信を行うことが可能となる。

## 【0068】

## 【発明の実施の形態】

以下、本発明に係る送受信装置の実施形態について詳細な説明を行う。

## 【0069】

## (本発明に係る送受信装置の第1実施形態)

まず、本発明に係る送受信装置の第1実施形態について、図1及び図2を参照しながら詳細に説明する。図1は本発明に係る送受信装置の第1実施形態を示すブロック図である。本実施形態の送受信装置は、「IEEE Std. 1394a-2000」規格に準拠した送受信装置であり、本図に示すように、アクティブ判定回路g100と、参照テーブルg101と、バス調停回路g102と、ベースレジスタg10

3と、4ポートg105、g106、g107、g108と、を有して成る。

【0070】

アクティブ判定回路g100は、信号線h105、h106、h107、h108を介して得られた各ポートg105～g108のアクティブ状態信号に基づいて、各ポートg105～g108がアクティブ状態であるか否かを判別し、信号線h101を介して該判別結果（アクティブポートの組合わせ）を参照テーブルg101に送出する。

【0071】

参照テーブルg101は、各ポートg105～g108間における伝送遅延値の中でアクティブポートの組合わせに応じた最大値を保持しており、アクティブ判定回路g100の出力信号（アクティブポートの組合わせ）に応じた値を読み出して、信号線h103経由でベースレジスタg103のディレイ領域（図33参照）に割り当てる。

【0072】

バス調停回路g102は、IEEEシリアルバスの調停を行う。また、バス調停回路g102には、送受信装置の動作条件が記述されたベースレジスタg103が接続されており、送受信装置は、ベースレジスタg103に記述された条件に従って動作する。ポートg105～g108は、それぞれ他ノードとの間で信号の受け渡しを行う。

【0073】

図2は参照テーブルg101の格納内容を示すデータマップである。本データマップ中のポートアクティブ値[port\_active]は、アクティブポートの組合わせを表わすパラメータであり、第1（最上位）～第4ビット（最下位）が各々ポートg105～ポートg108の状態に対応している。なお、ビット値「1」はアクティブポートであることを示し、ビット値「0」は非アクティブポートであることを示している。例えば、ポートアクティブ値「1101」は、ポートg105、g106、g108がアクティブ状態であり、ポートg107が非アクティブ状態であることを示している。

【0074】

また、本データマップでは、上記ポートアクティブ値 [port\_active] 毎に、各ポート g 1 0 5 ~ g 1 0 8 間における伝送遅延値の中でアクティブポートの組合わせに応じた最大値（伝送遅延値自体ではなく、実伝送遅延値から所定の計算式によって求められた計算値であり、数字が大きいほど伝送遅延も大きい。以下同様）が記されている。すなわち、本データマップに記述された伝送遅延値には非アクティブポートとの間の伝送遅延値が含まれていない。なお、伝送遅延値が存在しない場合は、アクティブポートの組合わせに応じた最大伝送遅延値として便宜上「0」が挿入されている。

## 【 0 0 7 5 】

上記構成から成る送受信装置において、例えば、ポート g 1 0 5、g 1 0 6、g 1 0 8 がアクティブ状態であり、ポート g 1 0 7 が非アクティブ状態である場合について考える。この場合、従来の手法では、非アクティブ状態のポート g 1 0 7 を含む全ポートの組合わせ中で最大の伝送遅延値「9」（参照テーブル g 1 0 1 でポートアクティブ値「1 1 1 1」に対応して格納された値であり、ポート g 1 0 6 とポート g 1 0 7 との間の伝送遅延値）がノードの伝送遅延値として固定設定されていたが、本実施形態の送受信装置では、非アクティブ状態のポート g 1 0 7 を除く各ポートの組合わせ中で最大の伝送遅延値「5」（参照テーブル g 1 0 1 でポートアクティブ値「1 1 0 1」に対応して格納された値であり、ポート g 1 0 6 とポート g 1 0 8 との間の伝送遅延値）がノードの伝送遅延値として選択され、ベースレジスタ g 1 0 3 のディレイ領域に割り当てられる。

## 【 0 0 7 6 】

このような構成とすることにより、送受信装置の伝送遅延値を不要に大きく設定してしまうことがなくなるので、ギャップカウント [Gap\_count] 引いてはギャップ自体を最適化して、効率の良い通信を行うことが可能となる。

## 【 0 0 7 7 】

（本発明に係る送受信装置の第 2 実施形態）

次に、本発明に係る送受信装置の第 2 実施形態について説明する。本実施形態の送受信装置は、前述の第 1 実施形態と同一のブロック構成（図 1 参照）から成り、参照テーブル g 1 0 1 に格納されるポートアクティブ値 [port\_active] 毎

の最大伝送遅延値として、各ポート g 1 0 5 ~ g 1 0 8 間における伝送遅延値の中でアクティブポートの組合わせに応じた最大値と、各ポート g 1 0 5 ~ g 1 0 8 単独での信号入出力に要する伝送遅延値（あるポートに制御信号が入力され、同ポートから前記制御信号に対する制御信号を返すまでの伝送遅延値）の中でアクティブポートの組合わせに応じた最大値のうち、より大きい値を保持している点に特徴を有している。

## 【 0 0 7 8 】

例えば、各ポート g 1 0 5 ~ g 1 0 8 間における伝送遅延値が前述の第 1 実施形態（図 2 参照）と同一であり、各ポート g 1 0 5 ~ g 1 0 8 単独での信号入出力に要する伝送遅延値が順に「1」、「7」、「10」、「4」である場合、参照テーブル g 1 0 1 には、図 3 に示したデータマップが格納されることになる。

## 【 0 0 7 9 】

このような構成とすることにより、同一ポートで信号の入出力が為される場合でも、送受信装置の伝送遅延値を過小設定してしまうことがなくなるので、ギャップカウント [Gap\_count] 引いてはギャップを保証して、確実な通信を行うことが可能となる。

## 【 0 0 8 0 】

なお、ポートのアクティブ判定を行わないのであれば、図 1 の構成からアクティブ判定回路を除いた構成（図 4 参照）としてもよい。この場合、参照テーブル g 1 1 1 には、各ポート g 1 1 5 ~ g 1 1 8 間における伝送遅延値と、各ポート g 1 1 5 ~ g 1 1 8 単独での信号入出力に要する伝送遅延値のうち、最も大きい値（ポートアクティブ値「1 1 1 1」に対応して格納されていた値；図 3 参照）のみを格納しておけばよい。

## 【 0 0 8 1 】

（本発明に係る送受信装置の第 3 実施形態）

次に、本発明に係る送受信装置の第 3 実施形態について、図 5 及び図 6 を参照しながら詳細に説明する。図 5 は本発明に係る送受信装置の第 3 実施形態を示すブロック図である。本実施形態の送受信装置は、「IEEE Std. 1394a-2000」規格に準拠した送受信装置であり、本図に示すように、アクティブ判定回路 g 1 2 0

と、参照テーブル g 1 2 1 と、バス調停回路 g 1 2 2 と、ベースレジスタ g 1 2 3 と、5つのポート g 1 2 5、g 1 2 6、g 1 2 7、g 1 2 8、g 1 2 9 と、を有して成る。

#### 【 0 0 8 2 】

アクティブ判定回路 g 1 2 0 は、信号線 h 1 2 5、h 1 2 6、h 1 2 7、h 1 2 8、h 1 2 9 を介して得られた各ポート g 1 2 5 ～ g 1 2 9 のアクティブ状態信号に基づいて、各ポート g 1 2 5 ～ g 1 2 9 がアクティブ状態であるか否かを判別し、信号線 h 1 2 0 を介して該判別結果（アクティブポートの組合わせ）を参照テーブル g 1 2 1 に送出する。

#### 【 0 0 8 3 】

バス調停回路 g 1 2 2 は、I E E E シリアルバスの調停を行うとともに、各ポート g 1 2 5 ～ g 1 2 9 との間で信号線 h 1 2 4 を介した信号の授受を行う。このとき、バス調停回路 g 1 2 2 は、いずれのポートから信号が入力されたかを判別し、信号線 h 1 2 2 を介して該判別結果（入力ポート情報）を参照テーブル g 1 2 1 に送出する。また、バス調停回路 g 1 2 2 には、送受信装置の動作条件が記述されたベースレジスタ g 1 2 3 が接続されており、送受信装置は、ベースレジスタ g 1 2 3 に記述された条件に従って動作する。ポート g 1 2 5 ～ g 1 2 9 は、それぞれ他ノードとの間で信号の受け渡しを行う。

#### 【 0 0 8 4 】

参照テーブル g 1 2 1 は、各ポート g 1 2 5 ～ g 1 2 9 毎に、該ポートを除いた他ポート間における伝送遅延値の中でアクティブポートの組合わせに応じた最大値と、該ポート単独での信号入出力に要する伝送遅延値のうち、より大きい値を保持しており、アクティブ判定回路 g 1 2 0 の出力信号（アクティブポートの組合わせ）とバス調停回路 g 1 2 2 で得た入力ポート情報に応じた値を読み出して信号線 h 1 2 1 経由でベースレジスタ g 1 2 3 のディレイ領域（図 3 3 参照）に割り当てる。

#### 【 0 0 8 5 】

図 6 は参照テーブル g 1 2 1 の格納内容を示すデータマップである。なお、本図では、各ポート g 1 2 5 ～ g 1 2 9 毎に格納されたデータマップのうち、ポー

ト g 1 2 5 から制御信号が入力された場合に参照されるデータマップのみを例示している。本図中のポートアクティブ値 [port\_active] は、アクティブポートの組合わせを表わすパラメータであり、第 1（最上位）～第 5 ビット（最下位）が各々ポート g 1 2 5 ～ポート g 1 2 9 の状態に対応している。なお、ビット値「1」はアクティブポートであることを示し、ビット値「0」は非アクティブポートであることを示している。例えば、ポートアクティブ値「1 1 1 1 0」は、ポート g 1 2 5 ～g 1 2 8 がアクティブ状態であり、ポート g 1 2 9 が非アクティブ状態であることを示している。

#### 【 0 0 8 6 】

また、本データマップでは、上記ポートアクティブ値 [port\_active] 毎に、信号入力ポート g 1 2 5 を除いた他ポート g 1 2 6 ～g 1 2 9 間における伝送遅延値の中でアクティブポートの組合わせに応じた最大値と、信号入力ポート g 1 2 5 単独での信号入出力に要する伝送遅延値のうち、より大きい値が記されている。このように、本データマップに記述された伝送遅延値には、信号入力ポート g 1 2 5 と非アクティブポートとの間の伝送遅延値や、信号入力ポート g 1 2 5 と他アクティブポートとの間における伝送遅延値、並びに他アクティブポート単独での信号入出力に要する伝送遅延値が含まれていないので、前述の第 1 実施形態に比べて、さらに無駄のない伝送遅延値設定を行うことができる。

#### 【 0 0 8 7 】

上記構成から成る送受信装置において、例えば、ポート g 1 2 9 以外がアクティブ状態であって、ポート g 1 2 5 に信号が入力された場合について考える。この場合、従来の手法では、非アクティブ状態のポート g 1 2 9 を含む全ポートの組合わせ中で最大の伝送遅延値がノードの伝送遅延値として固定設定されていたが、本実施形態の送受信装置では、信号入力ポート g 1 2 5 を除いた他アクティブポート g 1 2 6 ～g 1 2 8 間における最大伝送遅延値と、信号入力ポート g 1 2 5 単独での信号入出力に要する伝送遅延値のうち、より大きい値「1 0」（参照テーブル g 1 2 1 でポートアクティブ値「1 1 1 1 0」に対応して格納された値）がノードの伝送遅延値として選択され、ベースレジスタ g 1 2 3 のディレイ領域に割り当てられる。

## 【 0 0 8 8 】

このような構成とすることにより、送受信装置の伝送遅延値を不要に大きく設定してしまうことがなくなるので、ギャップカウント [Gap\_count] 引いてはギャップ自体を最適化して、効率の良い通信を行うことが可能となる。

## 【 0 0 8 9 】

(本発明に係る送受信装置の第 4 実施形態)

次に、本発明に係る送受信装置の第 4 実施形態について、図 7 を参照しながら詳細に説明する。図 7 は本発明に係る送受信装置の第 4 実施形態を示すブロック図である。本実施形態の送受信装置は、「OP i.LINK」規格に準拠した送受信装置であり、本図に示すように、アクティブ判定回路 g 1 3 0 と、遅延設定回路 g 1 3 1 と、バス調停回路 g 1 3 2 と、ベースレジスタ g 1 3 3 と、OP i.LINK ページ g 1 3 4 と、3 ポート g 1 3 5、g 1 3 6、g 1 3 7 と、を有して成る。

## 【 0 0 9 0 】

アクティブ判定回路 g 1 3 0 は、信号線 h 1 3 5、h 1 3 6、h 1 3 7 を介して得られた各ポート g 1 3 5 ~ g 1 3 7 のアクティブ状態信号に基づいて、各ポート g 1 3 5 ~ g 1 3 7 がアクティブ状態であるか否かを判別し、信号線 h 1 3 0 を介して該判別結果（アクティブポートの組合わせ）を遅延設定回路 g 1 3 1 に送出する。

## 【 0 0 9 1 】

遅延設定回路 g 1 3 1 は、アクティブ判定回路 g 1 3 0 の出力信号（アクティブポートの組合わせ）と OP i.LINK ページ g 1 3 4 を参照し、アクティブなポートが DS ポートのみであると判断した場合には、OP i.LINK ページ g 1 3 4 のディレイ DS - DS 領域に格納された値（図 3 5 参照）を読み出して、信号線 h 1 3 4、h 1 3 3 経由でベースレジスタ g 1 3 3 のディレイ領域（図 3 3 参照）に割り当てる。

## 【 0 0 9 2 】

バス調停回路 g 1 3 2 はバスの調停を行う。また、バス調停回路 g 1 3 2 には送受信装置の動作条件が記述されたベースレジスタ g 1 3 3 及び OP i.LINK ページ g 1 3 4 が接続されており、送受信装置は、両レジスタ g 1 3 3、g 1 3 4 に

記述された条件に従って動作する。ポート g 1 3 5 ～ g 1 3 7 は、それぞれ他ノードとの間で信号の受け渡しを行う。

#### 【 0 0 9 3 】

上記構成から成る送受信装置において、アクティブポートが D S ポートのみである場合について考える。この場合、従来の手法では、「OP i.LINK」規格に準拠していないバスマネージャによってバスが管理されていると、D S - D S ポート間の伝送遅延ではなく、より大きな値となる光ポート - 光ポート間の伝送遅延がノードの伝送遅延とされていたが、本実施形態の送受信装置では、アクティブ判定回路 g 1 3 0 の出力信号と OP i.LINK ページ g 1 3 4 に基づいてアクティブポートが D S ポートのみであると判断され、OP i.LINK ページ g 1 3 4 のディレイ D S - D S 領域に格納された値がベースレジスタ g 1 3 3 のディレイ領域に割り当てられる。

#### 【 0 0 9 4 】

このような構成とすることにより、バスマネージャが「OP i.LINK」規格に準拠していなくても、ノードのアクティブポートが全て D S ポートであった場合には、D S ポート間の伝送遅延値をノードの伝送遅延値として設定することができるので、ギャップカウント [Gap\_count] 引いてはギャップ自体を最適化して、効率の良い通信を行うことが可能となる。

#### 【 0 0 9 5 】

(本発明に係る送受信装置の第 5 実施形態)

次に、本発明に係る送受信装置の第 5 実施形態について、図 8 を参照しながら詳細に説明する。図 8 は本発明に係る送受信装置の第 5 実施形態を示すブロック図である。本実施形態の送受信装置は、「OP i.LINK」規格に準拠した送受信装置であり、本図に示すように、アクティブ判定回路 g 1 4 0 と、遅延設定回路 g 1 4 1 と、バス調停回路 g 1 4 2 と、ベースレジスタ g 1 4 3 と、OP i.LINK ページ g 1 4 4 と、3 ポート g 1 4 5、g 1 4 6、g 1 4 7 と、を有して成る。

#### 【 0 0 9 6 】

アクティブ判定回路 g 1 4 0 は、信号線 h 1 4 5、h 1 4 6、h 1 4 7 を介して得られた各ポート g 1 4 5 ～ g 1 4 7 のアクティブ状態信号に基づいて、各ポ



ート g 1 4 5 ~ g 1 4 7 がアクティブ状態であるか否かを判別し、信号線 h 1 4 0 を介して該判別結果（アクティブポートの組合わせ）を遅延設定回路 g 1 4 1 に送出する。

#### 【 0 0 9 7 】

遅延設定回路 g 1 4 1 は、アクティブ判定回路 g 1 4 0 の出力信号（アクティブポートの組合わせ）と OP i.LINK ページ g 1 4 4 を参照するとともに、バス調停回路 g 1 4 2 とベースレジスタ g 1 4 3 及び OP i.LINK ページ g 1 4 4 を各々接続する信号線 h 1 4 2 a、h 1 4 2 b を監視しており、アクティブなポートが DS ポートのみであるときに、他ノード（バスマネージャ）からのリモートアクセス packets によって、OP i.LINK ページ g 1 4 4 にアクセスされることなく、ベースレジスタ g 1 4 3 のみにアクセスされたと判断した場合には、OP i.LINK ページ g 1 4 4 のディレイ DS - DS 領域に格納された値（図 3 5 参照）を読み出して、信号線 h 1 4 4、h 1 4 3 経由でベースレジスタ g 1 4 3 のディレイ領域（図 3 3 参照）に割り当てる。

#### 【 0 0 9 8 】

バス調停回路 g 1 4 2 はバスの調停を行う。また、バス調停回路 g 1 4 2 には送受信装置の動作条件が記述されたベースレジスタ g 1 4 3 及び OP i.LINK ページ g 1 4 4 が接続されており、送受信装置は、両レジスタ g 1 4 3、g 1 4 4 に記述された条件に従って動作する。ポート g 1 4 5 ~ g 1 4 7 は、それぞれ他ノードとの間で信号の受渡しを行う。

#### 【 0 0 9 9 】

上記構成から成る送受信装置において、アクティブポートが DS ポートのみである場合について考える。この場合、従来の手法では、「OP i.LINK」規格に準拠していないバスマネージャによってバスが管理されていると、DS - DS ポート間の伝送遅延ではなく、より大きな値となる光ポート - 光ポート間の伝送遅延がノードの伝送遅延とされていたが、本実施形態の送受信装置では、アクティブ判定回路 g 1 4 0 の出力信号と OP i.LINK ページ g 1 4 4 に基づいてアクティブポートが DS ポートのみであると判断され、信号線 h 1 4 2 a、h 1 4 2 b の監視結果に基づいて、他ノード（バスマネージャ）から OP i.LINK ページ g 1 4 4

にアクセスされることなく、ベースレジスタ g 1 4 3 のみにアクセスされたと判断された時点で、OP i.LINK ページ g 1 4 4 のディレイ D S - D S 領域に格納された値がベースレジスタ g 1 4 3 のディレイ領域に割り当てられる。

#### 【0 1 0 0】

このような構成とすることにより、バスマネージャが「OP i.LINK」規格に準拠していなくても、ノードのアクティブポートが全て D S ポートであった場合には、D S ポート間の伝送遅延値をノードの伝送遅延値として設定することができるので、ギャップカウント [Gap\_count] 引いてはギャップ自体を最適化して、効率の良い通信を行うことが可能となる。

#### 【0 1 0 1】

(本発明に係る送受信装置の第 6 実施形態)

次に、本発明に係る送受信装置の第 6 実施形態について、図 9 を参照しながら詳細に説明する。図 9 は本発明に係る送受信装置の第 6 実施形態を示すブロック図である。本実施形態の送受信装置は、「OP i.LINK」規格に準拠した送受信装置であり、本図に示すように、アクティブ判定回路 g 1 5 0 と、遅延設定回路 g 1 5 1 と、バス調停回路 g 1 5 2 と、ベースレジスタ g 1 5 3 と、OP i.LINK ページ g 1 5 4 と、3 ポート g 1 5 5、g 1 5 6、g 1 5 7 と、を有して成る。

#### 【0 1 0 2】

アクティブ判定回路 g 1 5 0 は、信号線 h 1 5 5、h 1 5 6、h 1 5 7 を介して得られた各ポート g 1 5 5 ~ g 1 5 7 のアクティブ状態信号に基づいて、各ポート g 1 5 5 ~ g 1 5 7 がアクティブ状態であるか否かを判別し、信号線 h 1 5 0 を介して該判別結果（アクティブポートの組合わせ）を遅延設定回路 g 1 5 1 に送出する。

#### 【0 1 0 3】

遅延設定回路 g 1 5 1 は、アクティブ判定回路 g 1 5 0 の出力信号（アクティブポートの組合わせ）と OP i.LINK ページ g 1 5 4 を参照するとともに、バス調停回路 g 1 5 2 とベースレジスタ g 1 5 3 及び OP i.LINK ページ g 1 5 4 を各々接続する信号線 h 1 5 2 a、h 1 5 2 b を監視しており、アクティブなポートが D S ポートのみであるときに、他ノード（バスマネージャ）からのリモートアク

セスパケットによって、OP i.LINKページ g 1 5 4 にアクセスされることなく、ベースレジスタ g 1 5 3 のみにアクセスされたと判断した場合には、OP i.LINK ページ g 1 5 4 のディレイ D S - D S 領域に格納された値（図 3 5 参照）を読み出して、信号線 h 1 5 1 経由でバス調停回路 g 1 5 2 に送出し、他ノードに返信されるリモートリプライパケットの所定データ領域に割り当てる。

#### 【 0 1 0 4 】

バス調停回路 g 1 5 2 はバスの調停を行う。また、バス調停回路 g 1 5 2 には送受信装置の動作条件が記述されたベースレジスタ g 1 5 3 及び OP i.LINK ページ g 1 5 4 が接続されており、送受信装置は、両レジスタ g 1 5 3、g 1 5 4 に記述された条件に従って動作する。ポート g 1 5 5 ~ g 1 5 7 は、それぞれ他ノードとの間で信号の受渡しを行う。

#### 【 0 1 0 5 】

上記構成から成る送受信装置において、アクティブポートが D S ポートのみである場合について考える。この場合、従来の手法では、「OP i.LINK」規格に準拠していないバスマネージャによってバスが管理されていると、D S - D S ポート間の伝送遅延ではなく、より大きな値となる光ポート-光ポート間の伝送遅延がノードの伝送遅延とされていたが、本実施形態の送受信装置では、アクティブ判定回路 g 1 5 0 の出力信号と OP i.LINK ページ g 1 5 4 に基づいてアクティブポートが D S ポートのみであると判断され、信号線 h 1 5 2 a、h 1 5 2 b の監視結果に基づいて、他ノード（バスマネージャ）から OP i.LINK ページ g 1 5 4 にアクセスされることなく、ベースレジスタ g 1 5 3 のみにアクセスされたと判断された時点で、OP i.LINK ページ g 1 5 4 のディレイ D S - D S 領域に格納された値がリモートリプライパケットの所定データ領域に割り当てられる。

#### 【 0 1 0 6 】

このような構成とすることにより、バスマネージャが「OP i.LINK」規格に準拠していなくても、ノードのアクティブポートが全て D S ポートであった場合には、D S ポート間の伝送遅延値をノードの伝送遅延値として設定することができるので、ギャップカウント [Gap\_count] 引いてはギャップ自体を最適化して、効率の良い通信を行うことが可能となる。

## 【 0 1 0 7 】

(本発明に係る送受信装置の第 7 実施形態)

次に、本発明に係る送受信装置の第 7 実施形態について、図 1 0 及び図 1 1 を参照しながら詳細に説明する。図 1 0 は本発明に係る送受信装置の第 7 実施形態を示すブロック図である。本実施形態の送受信装置は「IEEE Std. 1394a-2000」規格に準拠した送受信装置であり、本図に示す通り、アクティブ判定回路 g 2 0 0 と、参照テーブル g 2 0 1 と、バス調停回路 g 2 0 2 と、ベースレジスタ g 2 0 3 と、4 ポート g 2 0 5、g 2 0 6、g 2 0 7、g 2 0 8 と、を有して成る。

## 【 0 1 0 8 】

アクティブ判定回路 g 2 0 0 は、信号線 h 2 0 5、h 2 0 6、h 2 0 7、h 2 0 8 を介して得られた各ポート g 2 0 5 ~ g 2 0 8 のアクティブ状態信号に基づいて、各ポート g 2 0 5 ~ g 2 0 8 がアクティブ状態であるか否かを判別し、信号線 h 2 0 1 を介して該判別結果（アクティブポートの組合わせ）を参照テーブル g 2 0 1 に送出する。

## 【 0 1 0 9 】

参照テーブル g 2 0 1 は、各ポート g 2 0 5 ~ g 2 0 8 間におけるジッタ値の中でアクティブポートの組合わせに応じた最大値を保持しており、アクティブ判定回路 g 2 0 0 の出力信号（アクティブポートの組合わせ）に応じた値を讀出して、信号線 h 2 0 3 経由でベースレジスタ g 2 0 3 のジッタ領域（図 3 3 参照）に割り当てる。

## 【 0 1 1 0 】

バス調停回路 g 2 0 2 は、IEEE シリアルバスの調停を行う。また、バス調停回路 g 2 0 2 には、送受信装置の動作条件が記述されたベースレジスタ g 2 0 3 が接続されており、送受信装置は、ベースレジスタ g 2 0 3 に記述された条件に従って動作する。ポート g 2 0 5 ~ g 2 0 8 は、それぞれ他ノードとの間で信号の受け渡しを行う。

## 【 0 1 1 1 】

図 1 1 は参照テーブル g 2 0 1 の格納内容を示すデータマップである。本データマップ中のポートアクティブ値 [port\_active] は、アクティブポートの組合

わせを表わすパラメータであり、第1（最上位）～第4ビット（最下位）が各々ポート g 2 0 5～ポート g 2 0 8 の状態に対応している。なお、ビット値「1」はアクティブポートであることを示し、ビット値「0」は非アクティブポートであることを示している。例えば、ポートアクティブ値「1 1 0 1」は、ポート g 2 0 5、g 2 0 6、g 2 0 8 がアクティブ状態であり、ポート g 2 0 7 が非アクティブ状態であることを示している。

#### 【0 1 1 2】

また、本データマップでは、上記ポートアクティブ値 [port\_active] 毎に、各ポート g 2 0 5～g 2 0 8 間におけるジッタ値の中でアクティブポートの組合わせに応じた最大値（ジッタ値自体ではなく、実ジッタ値から所定の計算式によって求められた計算値であり、数字が大きいほどジッタも大きい。以下同様）が記されている。すなわち、本データマップに記述されたジッタ値には非アクティブポートとの間のジッタ値が含まれていない。なお、ジッタ値が存在しない場合は、アクティブポートの組合わせに応じた最大ジッタ値として便宜上「0」が挿入されている。

#### 【0 1 1 3】

上記構成から成る送受信装置において、例えば、ポート g 2 0 5、g 2 0 6、g 2 0 8 がアクティブ状態であり、ポート g 2 0 7 が非アクティブ状態である場合について考える。この場合、従来の手法では、非アクティブ状態のポート g 2 0 7 を含む全ポートの組合わせ中で最大のジッタ値「9」（参照テーブル g 2 0 1 でポートアクティブ値「1 1 1 1」に対応して格納された値であり、ポート g 2 0 6 とポート g 2 0 7 との間のジッタ値）がノードのジッタ値として固定設定されていたが、本実施形態の送受信装置では、非アクティブ状態のポート g 2 0 7 を除く各ポートの組合わせ中で最大のジッタ値「5」（参照テーブル g 2 0 1 でポートアクティブ値「1 1 0 1」に対応して格納された値であり、ポート g 2 0 6 とポート g 2 0 8 との間のジッタ値）がノードのジッタ値として選択され、ベースレジスタ g 2 0 3 のジッタ領域に割り当てられる。

#### 【0 1 1 4】

このような構成とすることにより、送受信装置のジッタ値を不要に大きく設定

してしまうことがなくなるので、ギャップカウント [Gap\_count] 引いてはギャップ自体を最適化して、効率の良い通信を行うことが可能となる。

#### 【0 1 1 5】

(本発明に係る送受信装置の第 8 実施形態)

次に、本発明に係る送受信装置の第 8 実施形態について、図 1 2 及び図 1 3 を参照しながら詳細に説明する。図 1 2 は本発明に係る送受信装置の第 8 実施形態を示すブロック図である。本実施形態の送受信装置は「IEEE Std. 1394a-2000」規格に準拠した送受信装置であり、本図に示す通り、アクティブ判定回路 g 2 1 0 と、参照テーブル g 2 1 1 と、バス調停回路 g 2 1 2 と、ベースレジスタ g 2 1 3 と、4 ポート g 2 1 5、g 2 1 6、g 2 1 7、g 2 1 8 と、を有して成る。

#### 【0 1 1 6】

アクティブ判定回路 g 2 1 0 は、信号線 h 2 1 5、h 2 1 6、h 2 1 7、h 2 1 8 を介して得られた各ポート g 2 1 5～g 2 1 8 のアクティブ状態信号に基づいて、各ポート g 2 1 5～g 2 1 8 がアクティブ状態であるか否かを判別し、信号線 h 2 1 0 を介して該判別結果（アクティブポートの組合わせ）を参照テーブル g 2 1 1 に送出する。

#### 【0 1 1 7】

バス調停回路 g 2 1 2 は、IEEE シリアルバスの調停を行うとともに、各ポート g 2 1 5～g 2 1 8 との間で信号線 h 2 1 4 を介した信号の授受を行う。このとき、バス調停回路 g 2 1 2 は、いずれのポートから信号が入力されたかを判別し、信号線 h 2 1 2 を介して該判別結果（入力ポート情報）を参照テーブル g 2 1 1 に送出する。また、バス調停回路 g 2 1 2 には、送受信装置の動作条件が記述されたベースレジスタ g 2 1 3 が接続されており、送受信装置は、ベースレジスタ g 2 1 3 に記述された条件に従って動作する。ポート g 2 1 5～g 2 1 8 は、それぞれ他ノードとの間で信号の受け渡しを行う。

#### 【0 1 1 8】

参照テーブル g 2 1 1 は、各ポート g 2 1 5～g 2 1 8 毎に、該ポートと他ポートとの間におけるジッタ値の中でアクティブポートの組合わせに応じた最大値を保持しており、アクティブ判定回路 g 2 1 0 の出力信号（アクティブポートの

組合わせ) とバス調停回路 g 2 1 2 で得た入力ポート情報に応じた値を読み出して信号線 h 2 1 1 経由でベースレジスタ g 2 1 3 のジッタ領域 (図 3 3 参照) に割り当てる。

#### 【 0 1 1 9 】

図 1 3 は参照テーブル g 2 1 1 の格納内容を示すデータマップである。なお、本図は、各ポート g 2 1 5 ~ g 2 1 8 毎に格納されたデータマップのうち、ポート g 2 1 5 から制御信号が入力された場合に参照されるデータマップのみを例示している。本図中のポートアクティブ値 [port\_active] は、アクティブポートの組合わせを表わすパラメータであり、第 1 (最上位) ~ 第 5 ビット (最下位) が各々ポート g 2 1 5 ~ ポート g 2 1 8 の状態に対応している。なお、ビット値「1」はアクティブポートであることを示し、ビット値「0」は非アクティブポートであることを示している。例えば、ポートアクティブ値「1 1 0 1」は、ポート g 2 1 5、g 2 1 6、g 2 1 8 がアクティブ状態であり、ポート g 2 1 7 が非アクティブ状態であることを示している。

#### 【 0 1 2 0 】

また、本データマップでは、上記ポートアクティブ値 [port\_active] 毎に、信号入力ポート g 2 1 5 と他ポート g 2 1 6 ~ g 2 1 8 の間におけるジッタ値の中でアクティブポートの組合わせに応じた最大値が記されている。このように、本データマップに記述されたジッタ値には、信号入力ポート g 2 1 5 と非アクティブポートとの間のジッタ値や、信号入力ポート g 2 1 5 以外のアクティブポート相互間におけるジッタ値が含まれていないので、前述の第 7 実施形態に比べてさらに無駄のないジッタ値設定を行うことができる。

#### 【 0 1 2 1 】

上記構成から成る送受信装置において、例えば、ポート g 2 1 7 以外がアクティブ状態であって、ポート g 2 1 5 に信号が入力された場合について考える。この場合、従来の手法では、非アクティブ状態のポート g 2 1 7 を含む全ポートの組合わせ中で最大のジッタ値がノードのジッタ値として固定設定されていたが、本実施形態の送受信装置では、信号入力ポート g 2 1 5 と他アクティブポート g 2 1 6、g 2 1 8 の間における最大ジッタ値「3」(参照テーブル g 2 1 1 でポ

ートアクティブ値「1 1 0 1」に対応して格納された値であり、ポート g 2 1 5 とポート g 2 1 6 間のジッタ値) がノードのジッタ値として選択され、ベースレジスタ g 2 1 3 のジッタ領域に割り当てられる。

#### 【0 1 2 2】

このような構成とすることにより、送受信装置のジッタ値を不要に大きく設定してしまうことがなくなるので、ギャップカウント [Gap\_count] 引いてはギャップ自体を最適化して、効率の良い通信を行うことが可能となる。

#### 【0 1 2 3】

(本発明に係る送受信装置の第 9 実施形態)

次に、本発明に係る送受信装置の第 9 実施形態について、図 1 4 を参照しながら詳細に説明する。図 1 4 は本発明に係る送受信装置の第 9 実施形態を示すブロック図である。本実施形態の送受信装置は、「OP i.LINK」規格準拠の送受信装置であり、本図に示すように、アクティブ判定回路 g 2 2 0 と、ジッタ設定回路 g 2 2 1 と、バス調停回路 g 2 2 2 と、ベースレジスタ g 2 2 3 と、OP i.LINK ページ g 2 2 4 と、4 つのポート g 2 2 5、g 2 2 6、g 2 2 7、g 2 2 8 と、を有して成る。

#### 【0 1 2 4】

アクティブ判定回路 g 2 2 0 は、信号線 h 2 2 5、h 2 2 6、h 2 2 7、h 2 2 8 を介して得られた各ポート g 2 2 5 ~ g 2 2 8 のアクティブ状態信号に基づいて、各ポート g 2 2 5 ~ g 2 2 8 がアクティブ状態であるか否かを判別し、信号線 h 2 2 0 を介して該判別結果 (アクティブポートの組合わせ) をジッタ設定回路 g 2 2 1 に送出する。

#### 【0 1 2 5】

ジッタ設定回路 g 2 2 1 は、アクティブ判定回路 g 2 2 0 の出力信号 (アクティブポートの組合わせ) と OP i.LINK ページ g 2 2 4 を参照し、アクティブなポートが DS ポートのみであると判断した場合には、OP i.LINK ページ g 2 2 4 のジッタ DS - DS 領域に格納された値 (図 3 5 参照) を読み出して、信号線 h 2 2 4、h 2 2 3 経由でベースレジスタ g 2 2 3 のジッタ領域 (図 3 3 参照) に割り当てる。



## 【 0 1 2 6 】

バス調停回路 g 2 2 2 はバスの調停を行う。また、バス調停回路 g 2 2 2 には送受信装置の動作条件が記述されたベースレジスタ g 2 2 3 及び OP i.LINK ページ g 2 2 4 が接続されており、送受信装置は、両レジスタ g 2 2 3、g 2 2 4 に記述された条件に従って動作する。ポート g 2 2 5 ～ g 2 2 8 は、それぞれ他ノードとの間で信号の受け渡しを行う。

## 【 0 1 2 7 】

上記構成から成る送受信装置において、アクティブポートが DS ポートのみである場合について考える。この場合、従来の手法では、「OP i.LINK」規格に非準拠のバスマネージャによってバスが管理されていると、DS-DS ポート間のジッタではなく、より大きな値となる光ポート-光ポート間のジッタがノードのジッタとされていたが、本実施形態の送受信装置では、アクティブ判定回路 g 2 2 0 の出力信号と OP i.LINK ページ g 2 2 4 に基づいてアクティブポートが DS ポートのみであると判断され、OP i.LINK ページ g 2 2 4 のジッタ DS-DS 領域に格納された値がベースレジスタ g 2 2 3 のジッタ領域に割り当てられる。

## 【 0 1 2 8 】

このような構成とすることにより、バスマネージャが「OP i.LINK」規格に準拠していなくても、ノードのアクティブポートが全て DS ポートであった場合には、DS ポート間のジッタ値をノードのジッタ値として設定することができるので、ギャップカウント [Gap\_count] 引いてはギャップ自体を最適化して、効率の良い通信を行うことが可能となる。

## 【 0 1 2 9 】

(本発明に係る送受信装置の第 1 0 実施形態)

次に、本発明に係る送受信装置の第 1 0 実施形態について、図 1 5 を参照しながら詳細に説明する。図 1 5 は本発明に係る送受信装置の第 1 0 実施形態を示すブロック図である。本実施形態の送受信装置は、「OP i.LINK」規格に準拠した送受信装置であり、本図に示すように、アクティブ判定回路 g 2 3 0 と、ジッタ設定回路 g 2 3 1 と、バス調停回路 g 2 3 2 と、ベースレジスタ g 2 3 3 と、OP i.LINK ページ g 2 3 4 と、4 つのポート g 2 3 5、g 2 3 6、g 2 3 7、g 2

3 8 と、を有して成る。

#### 【0 1 3 0】

アクティブ判定回路 g 2 3 0 は、信号線 h 2 3 5、h 2 3 6、h 2 3 7、h 2 3 8 を介して得られた各ポート g 2 3 5 ～ g 2 3 8 のアクティブ状態信号に基づいて、各ポート g 2 3 5 ～ g 2 3 8 がアクティブ状態であるか否かを判別し、信号線 h 2 3 0 を介して該判別結果（アクティブポートの組合わせ）をジッタ設定回路 g 2 3 1 に送出する。

#### 【0 1 3 1】

ジッタ設定回路 g 2 3 1 は、アクティブ判定回路 g 2 3 0 の出力信号（アクティブポートの組合わせ）と OP i.LINK ページ g 2 3 4 を参照するとともに、バス調停回路 g 2 3 2 とベースレジスタ g 2 3 3 及び OP i.LINK ページ g 2 3 4 を各々接続する信号線 h 2 3 2 a、h 2 3 2 b を監視しており、アクティブなポートが DS ポートのみであるときに、他ノード（バスマネージャ）からのリモートアクセス packets によって、OP i.LINK ページ g 2 3 4 にアクセスされることなくベースレジスタ g 2 3 3 のみにアクセスされたと判断した場合には、OP i.LINK ページ g 2 3 4 のジッタ DS - DS 領域に格納された値（図 3 5 参照）を読み出して、信号線 h 2 3 4、h 2 3 3 経由でベースレジスタ g 2 3 3 のジッタ領域（図 3 3 参照）に割り当てる。

#### 【0 1 3 2】

バス調停回路 g 2 3 2 はバスの調停を行う。また、バス調停回路 g 2 3 2 には送受信装置の動作条件が記述されたベースレジスタ g 2 3 3 及び OP i.LINK ページ g 2 3 4 が接続されており、送受信装置は、両レジスタ g 2 3 3、g 2 3 4 に記述された条件に従って動作する。ポート g 2 3 5 ～ g 2 3 8 は、それぞれ他ノードとの間で信号の受渡しを行う。

#### 【0 1 3 3】

上記構成から成る送受信装置において、アクティブポートが DS ポートのみである場合について考える。この場合、従来の手法では、「OP i.LINK」規格に準拠していないバスマネージャによってバスが管理されていると、DS - DS ポート間のジッタではなく、より大きな値となる光ポート - 光ポート間のジッタがノ

ードのジッタとされていたが、本実施形態の送受信装置では、アクティブ判定回路 g 2 3 0 の出力信号と OP i.LINK ページ g 2 3 4 に基づいてアクティブポートが DS ポートのみであると判断され、信号線 h 2 3 2 a、h 2 3 2 b の監視結果に基づいて、他ノード（バスマネージャ）から OP i.LINK ページ g 2 3 4 にアクセスされることなく、ベースレジスタ g 2 3 3 のみにアクセスされたと判断された時点で、OP i.LINK ページ g 2 3 4 のジッタ DS - DS 領域に格納された値がベースレジスタ g 2 3 3 のジッタ領域に割り当てられる。

## 【 0 1 3 4 】

このような構成とすることにより、バスマネージャが「OP i.LINK」規格に準拠していなくても、ノードのアクティブポートが全て DS ポートであった場合には、DS ポート間のジッタ値をノードのジッタ値として設定することができるので、ギャップカウント [Gap\_count] 引いてはギャップ自体を最適化して、効率の良い通信を行うことが可能となる。

## 【 0 1 3 5 】

（本発明に係る送受信装置の第 1 1 実施形態）

次に、本発明に係る送受信装置の第 1 1 実施形態について、図 1 6 を参照しながら詳細に説明する。図 1 6 は本発明に係る送受信装置の第 1 1 実施形態を示すブロック図である。本実施形態の送受信装置は、「OP i.LINK」規格に準拠した送受信装置であり、本図に示すように、アクティブ判定回路 g 2 4 0 と、ジッタ設定回路 g 2 4 1 と、バス調停回路 g 2 4 2 と、ベースレジスタ g 2 4 3 と、OP i.LINK ページ g 2 4 4 と、4 つのポート g 2 4 5、g 2 4 6、g 2 4 7、g 2 4 8 と、を有して成る。

## 【 0 1 3 6 】

アクティブ判定回路 g 2 4 0 は、信号線 h 2 4 5、h 2 4 6、h 2 4 7、h 2 4 8 を介して得られた各ポート g 2 4 5 ~ g 2 4 8 のアクティブ状態信号に基づいて、各ポート g 2 4 5 ~ g 2 4 8 がアクティブ状態であるか否かを判別し、信号線 h 2 4 0 を介して該判別結果（アクティブポートの組合わせ）をジッタ設定回路 g 2 4 1 に送出する。

## 【 0 1 3 7 】

ジッタ設定回路 g 2 4 1 は、アクティブ判定回路 g 2 4 0 の出力信号（アクティブポートの組合わせ）と OP i.LINK ページ g 2 4 4 を参照するとともに、バス調停回路 g 2 4 2 とベースレジスタ g 2 4 3 及び OP i.LINK ページ g 2 4 4 を各々接続する信号線 h 2 4 2 a、h 2 4 2 b を監視しており、アクティブなポートが DS ポートのみであるときに、他ノード（バスマネージャ）からのリモートアクセス packets によって、OP i.LINK ページ g 2 4 4 にアクセスされることなくベースレジスタ g 2 4 3 のみにアクセスされたと判断した場合には、OP i.LINK ページ g 2 4 4 のジッタ DS - DS 領域に格納された値（図 3 5 参照）を読み出して、信号線 h 2 4 1 経由でバス調停回路 g 2 4 2 に送出し、他ノードに返信されるリモートリプライ packets の所定データ領域に割り当てる。

## 【 0 1 3 8 】

バス調停回路 g 2 4 2 はバスの調停を行う。また、バス調停回路 g 2 4 2 には送受信装置の動作条件が記述されたベースレジスタ g 2 4 3 及び OP i.LINK ページ g 2 4 4 が接続されており、送受信装置は、両レジスタ g 2 4 3、g 2 4 4 に記述された条件に従って動作する。ポート g 2 4 5 ~ g 2 4 8 は、それぞれ他ノードとの間で信号の受渡しを行う。

## 【 0 1 3 9 】

上記構成から成る送受信装置において、アクティブポートが DS ポートのみである場合について考える。この場合、従来の手法では、「OP i.LINK」規格に準拠していないバスマネージャによってバスが管理されていると、DS - DS ポート間のジッタではなく、より大きな値となる光ポート - 光ポート間のジッタがノードのジッタとされていたが、本実施形態の送受信装置では、アクティブ判定回路 g 2 4 0 の出力信号と OP i.LINK ページ g 2 4 4 に基づいてアクティブポートが DS ポートのみであると判断され、信号線 h 2 4 2 a、h 2 4 2 b の監視結果に基づいて、他ノード（バスマネージャ）から OP i.LINK ページ g 2 4 4 にアクセスされることなく、ベースレジスタ g 2 4 3 のみにアクセスされたと判断された時点で、OP i.LINK ページ g 2 4 4 のジッタ DS - DS 領域に格納された値がリモートリプライ packets の所定データ領域に割り当てられる。

## 【 0 1 4 0 】

このような構成とすることにより、バスマネージャが「OP i.LINK」規格に準拠していなくても、ノードのアクティブポートが全てDSポートであった場合には、DSポート間のジッタ値をノードのジッタ値として設定することができるので、ギャップカウント [Gap\_count] 引いてはギャップ自体を最適化して、効率の良い通信を行うことが可能となる。

#### 【0141】

(本発明に係る送受信装置の第12実施形態)

次に、本発明に係る送受信装置の第12実施形態について、図17及び図18を参照しながら詳細に説明する。図17は本発明に係る送受信装置の第12実施形態を示すブロック図である。本実施形態の送受信装置は、「IEEE Std. 1394a-2000」規格に準拠した送受信装置であり、本図に示すように、アクティブ判定回路g300と、参照テーブルg301と、バス調停回路g302と、ベースレジスタg303と、遅延選択回路g304と、4つのポートg305、g306、g307、g308と、を有して成る。

#### 【0142】

アクティブ判定回路g300は、信号線h305、h306、h307、h308を介して得られた各ポートg305～g308のアクティブ状態信号に基づいて、各ポートg305～g308がアクティブ状態であるか否かを判別し、信号線h300を介して該判別結果（アクティブポートの組合わせ）を遅延選択回路g304に送出する。

#### 【0143】

参照テーブルg301は、各ポートg305～g308間における全ての伝送遅延値を保持している。図18は参照テーブルg301の格納内容を示すデータマップである。本図に示すように、参照テーブルg301には、各ポートg305～g308間における全ての伝送遅延値（伝送遅延値自体ではなく、実伝送遅延値から所定の計算式によって求められた計算値であり、数字が大きいほど伝送遅延も大きい。以下同様）がマトリックス状に格納されている。

#### 【0144】

バス調停回路g302は、IEEEシリアルバスの調停を行う。また、バス調

停回路 g 3 0 2 には、送受信装置の動作条件が記述されたベースレジスタ g 3 0 3 が接続されており、送受信装置は、ベースレジスタ g 3 0 3 に記述された条件に従って動作する。ポート g 3 0 5 ~ g 3 0 8 は、それぞれ他ノードとの間で信号の受け渡しを行う。

#### 【 0 1 4 5 】

遅延選択回路 g 3 0 4 は、アクティブ判定回路 g 3 0 0 の出力信号（アクティブポートの組合わせ）に応じて参照テーブル g 3 0 1 に格納された全伝送遅延値の中からアクティブポート間における最大伝送遅延値を選択し、信号線 h 3 0 3 経由でベースレジスタ g 3 0 3 のディレイ領域（図 3 3 参照）に割り当てる。

#### 【 0 1 4 6 】

上記構成から成る送受信装置において、例えば、ポート g 3 0 5、g 3 0 6、g 3 0 8 がアクティブ状態であり、ポート g 3 0 7 が非アクティブ状態である場合について考える。この場合、従来の手法では、非アクティブ状態のポート g 3 0 7 を含む全ポートの組合わせ中で最大の伝送遅延値「9」（参照テーブル g 3 0 1 において、ポート g 3 0 6 とポート g 3 0 7 との間の伝送遅延値として格納された値）がノードの伝送遅延値として固定設定されていたが、本実施形態の送受信装置では、非アクティブ状態のポート g 3 0 7 を除く各ポートの組合わせ中で最大の伝送遅延値「5」（参照テーブル g 3 0 1 において、ポート g 3 0 6 とポート g 3 0 8 との間の伝送遅延値として格納された値）がノードの伝送遅延値として選択され、ベースレジスタ g 3 0 3 のディレイ領域に割り当てられる。

#### 【 0 1 4 7 】

このような構成とすることにより、送受信装置の伝送遅延値を不要に大きく設定してしまうことがなくなるので、ギャップカウント [Gap\_count] 引いてはギャップ自体を最適化して、効率の良い通信を行うことが可能となる。

#### 【 0 1 4 8 】

（本発明に係る送受信装置の第 1 3 実施形態）

次に、本発明に係る送受信装置の第 1 3 実施形態について説明する。本実施形態の送受信装置は、前述の第 1 2 実施形態と同一のブロック構成（図 1 7 参照）から成り、参照テーブル g 3 0 1 に格納される伝送遅延値として、各ポート g 3

0.5～g 3 0 8 間における伝送遅延値だけでなく、各ポート g 3 0 5～g 3 0 8 単独での信号入出力に要する伝送遅延値（あるポートに制御信号が入力され、同ポートから前記制御信号に対する制御信号を返すまでの伝送遅延値）を保持している点に特徴を有している。

【0 1 4 9】

例えば、各ポート g 3 0 5～g 3 0 8 間における伝送遅延値が第 1 2 実施形態（図 1 8 参照）と同一であり、各ポート g 3 0 5～g 3 0 8 単独での信号入出力に要する伝送遅延値が順に「1」、「7」、「10」、「4」である場合、参照テーブル g 3 0 1 には、図 1 9 に示したデータマップが格納されることになる。

【0 1 5 0】

このような構成とすることにより、同一ポートで信号の入出力が為される場合でも、送受信装置の伝送遅延値を過小設定してしまうことがなくなるので、ギャップカウント [Gap\_count] 引いてはギャップを保証して、確実な通信を行うことが可能となる。

【0 1 5 1】

なお、ポートのアクティブ判定を行わないのであれば、図 1 7 の構成からアクティブ判定回路を除いた構成（図 2 0 参照）としてもよい。この場合、参照テーブル g 3 1 1 には、各ポート g 3 1 5～g 3 1 8 間における伝送遅延値と、各ポート g 3 1 5～g 3 1 8 単独での信号入出力に要する伝送遅延値のうち、最も大きい値のみを格納しておけばよい。

【0 1 5 2】

（本発明に係る送受信装置の第 1 4 実施形態）

次に、本発明に係る送受信装置の第 1 4 実施形態について、図 2 1 及び図 2 2 を参照しながら詳細に説明する。図 2 1 は本発明に係る送受信装置の第 1 4 実施形態を示すブロック図である。本実施形態の送受信装置は、「IEEE Std. 1394a-2000」規格に準拠した送受信装置であり、本図に示すように、アクティブ判定回路 g 3 2 0 と、参照テーブル g 3 2 1 と、バス調停回路 g 3 2 2 と、ベースレジスタ g 3 2 3 と、遅延選択回路 g 3 2 4 と、5つのポート g 3 2 5、g 3 2 6、g 3 2 7、g 3 2 8、g 3 2 9 と、を有して成る。

## 【 0 1 5 3 】

アクティブ判定回路 g 3 2 0 は、信号線 h 3 2 5、h 3 2 6、h 3 2 7、h 3 2 8、h 3 2 9 を介して得られた各ポート g 3 2 5 ～ g 3 2 9 のアクティブ状態信号に基づいて、各ポート g 3 2 5 ～ g 3 2 9 がアクティブ状態であるか否かを判別し、信号線 h 3 2 0 を介して該判別結果（アクティブポートの組合わせ）を遅延選択回路 g 3 2 4 に送出する。

## 【 0 1 5 4 】

参照テーブル g 3 2 1 は、各ポート g 3 2 5 ～ g 3 2 9 間における全ての伝送遅延値と、各ポート g 3 2 5 ～ g 3 2 9 単独での信号入出力に要する伝送遅延値を保持している。図 2 2 は参照テーブル g 3 2 1 の格納内容を示すデータマップである。本図に示すように、参照テーブル g 3 2 1 には、各ポート g 3 2 5 ～ g 3 2 9 間における全ての伝送遅延値と、各ポート g 3 2 5 ～ g 3 2 9 単独での信号入出力に要する伝送遅延値がマトリックス状に格納されている。

## 【 0 1 5 5 】

バス調停回路 g 3 2 2 は、I E E E シリアルバスの調停を行うとともに、各ポート g 3 2 5 ～ g 3 2 9 との間で信号線 h 3 2 4 を介した信号の授受を行う。このとき、バス調停回路 g 3 2 2 は、いずれのポートから信号が入力されたかを判別し、信号線 h 3 2 2 を介して該判別結果（入力ポート情報）を遅延選択回路 g 3 2 4 に送出する。また、バス調停回路 g 3 2 2 には、送受信装置の動作条件が記述されたベースレジスタ g 3 2 3 が接続されており、送受信装置は、ベースレジスタ g 3 2 3 に記述された条件に従って動作する。ポート g 3 2 5 ～ g 3 2 9 は、それぞれ他ノードとの間で信号の受け渡しを行う。

## 【 0 1 5 6 】

遅延選択回路 g 3 2 4 は、アクティブ判定回路 g 3 2 0 の出力信号（アクティブポートの組合わせ）とバス調停回路 g 3 2 2 で得た入力ポート情報に応じて、参照テーブル g 3 2 1 に格納された全伝送遅延値の中から、信号入力ポートを除いた他アクティブポート間における伝送遅延値と信号入力ポート単独での信号入出力に要する伝送遅延値の中で最も大きい値を選択し、信号線 h 3 2 3 経由でベースレジスタ g 3 2 3 のディレイ領域（図 3 3 参照）に割り当てる。



## 【 0 1 5 7 】

例えば、ポート g 3 2 9 以外がアクティブ状態であって、ポート g 3 2 5 に信号が入力された場合には、図 2 2 において破線円で囲まれた数字が遅延選択回路 g 3 2 4 の選択対象とされる。このように、遅延選択回路 g 3 2 4 の選択対象とされる伝送遅延値には、信号入力ポートと非アクティブポートとの間における伝送遅延値や、信号入力ポートと他アクティブポートとの間における伝送遅延値、並びに他アクティブポート単独での信号入出力に要する伝送遅延値が含まれていないので、前述の第 1 2 実施形態に比べて、さらに無駄のない伝送遅延値設定を行うことができる。

## 【 0 1 5 8 】

上記構成から成る送受信装置において、例えば、ポート g 3 2 9 以外がアクティブ状態であって、ポート g 3 2 5 に信号が入力された場合について考える。この場合、従来の手法では、非アクティブ状態のポート g 3 2 9 を含む全ポートの組合わせ中で最大の伝送遅延値「11」（参照テーブル g 3 2 1 において、ポート g 3 2 5 とポート g 3 2 8 との間の伝送遅延値として格納された値）がノードの伝送遅延値として固定設定されていたが、本実施形態の送受信装置では、信号入力ポート g 3 2 5 を除いた他アクティブポート g 3 2 6 ～ g 3 2 8 間における伝送遅延値と、信号入力ポート g 3 2 5 単独での信号入出力に要する伝送遅延値の中で最も大きい値「9」（参照テーブル g 3 2 1 において、ポート g 3 2 6 とポート g 3 2 7 との間の伝送遅延値として格納された値）がノードの伝送遅延値として選択され、ベースレジスタ g 3 2 3 のディレイ領域に割り当てられる。

## 【 0 1 5 9 】

このような構成とすることにより、送受信装置の伝送遅延値を不要に大きく設定してしまうことがなくなるので、ギャップカウント [Gap\_count] 引いてはギャップ自体を最適化して、効率の良い通信を行うことが可能となる。

## 【 0 1 6 0 】

（本発明に係る送受信装置の第 1 5 実施形態）

次に、本発明に係る送受信装置の第 1 5 実施形態について、図 2 3 及び図 2 4 を参照しながら詳細に説明する。図 2 3 は本発明に係る送受信装置の第 1 5 実施

形態を示すブロック図である。本実施形態の送受信装置は、「IEEE Std. 1394a-2000」規格に準拠した送受信装置であり、本図に示すように、アクティブ判定回路 g 4 0 0 と、参照テーブル g 4 0 1 と、バス調停回路 g 4 0 2 と、ベースレジスタ g 4 0 3 と、ジッタ選択回路 g 4 0 4 と、4 ポート g 4 0 5、g 4 0 6、g 4 0 7、g 4 0 8 と、を有して成る。

#### 【0161】

アクティブ判定回路 g 4 0 0 は、信号線 h 4 0 5、h 4 0 6、h 4 0 7、h 4 0 8 を介して得られた各ポート g 4 0 5～g 4 0 8 のアクティブ状態信号に基づいて、各ポート g 4 0 5～g 4 0 8 がアクティブ状態であるか否かを判別し、信号線 h 4 0 0 を介して該判別結果（アクティブポートの組合わせ）をジッタ選択回路 g 4 0 4 に送出する。

#### 【0162】

参照テーブル g 4 0 1 は、各ポート g 4 0 5～g 4 0 8 間における全てのジッタ値を保持している。図 2 4 は参照テーブル g 4 0 1 の格納内容を示すデータマップである。本図に示す通り、参照テーブル g 4 0 1 には、各ポート g 4 0 5～g 4 0 8 間における全ジッタ値（ジッタ値自体ではなく、実ジッタ値から所定の計算式によって求められた計算値であり、数字が大きいほどジッタも大きい。以下同様）がマトリックス状に格納されている。

#### 【0163】

バス調停回路 g 4 0 2 は、IEEE シリアルバスの調停を行う。また、バス調停回路 g 4 0 2 には、送受信装置の動作条件が記述されたベースレジスタ g 4 0 3 が接続されており、送受信装置は、ベースレジスタ g 4 0 3 に記述された条件に従って動作する。ポート g 4 0 5～g 4 0 8 は、それぞれ他ノードとの間で信号の受け渡しを行う。

#### 【0164】

遅延選択回路 g 4 0 4 は、アクティブ判定回路 g 4 0 0 の出力信号（アクティブポートの組合わせ）に応じて参照テーブル g 4 0 1 に格納された全ジッタ値の中からアクティブポート間における最大ジッタ値を選択し、信号線 h 4 0 3 経由でベースレジスタ g 4 0 3 のジッタ領域（図 3 3 参照）に割り当てる。

## 【 0 1 6 5 】

上記構成から成る送受信装置において、例えば、ポート g 4 0 5、g 4 0 6、g 4 0 8 がアクティブ状態であり、ポート g 4 0 7 が非アクティブ状態である場合について考える。この場合、従来の手法では、非アクティブ状態のポート g 4 0 7 を含む全ポートの組合わせ中で最大のジッタ値「9」（参照テーブル g 4 0 1 において、ポート g 4 0 6 とポート g 4 0 7 との間のジッタ値として格納された値）がノードのジッタ値として固定設定されていたが、本実施形態の送受信装置では、非アクティブ状態のポート g 4 0 7 を除く各ポートの組合わせ中で最大のジッタ値「5」（参照テーブル g 4 0 1 において、ポート g 4 0 6 とポート g 4 0 8 との間のジッタ値として格納された値）がノードのジッタ値として選択され、ベースレジスタ g 4 0 3 のジッタ領域に割り当てられる。

## 【 0 1 6 6 】

このような構成とすることにより、送受信装置のジッタ値を不要に大きく設定してしまうことがなくなるので、ギャップカウント [Gap\_count] 引いてはギャップ自体を最適化して、効率の良い通信を行うことが可能となる。

## 【 0 1 6 7 】

（本発明に係る送受信装置の第 1 6 実施形態）

次に、本発明に係る送受信装置の第 1 6 実施形態について、図 2 5 及び図 2 6 を参照しながら詳細に説明する。図 2 5 は本発明に係る送受信装置の第 1 6 実施形態を示すブロック図である。本実施形態の送受信装置は、「IEEE Std. 1394a-2000」規格に準拠した送受信装置であり、本図に示すように、アクティブ判定回路 g 4 1 0 と、参照テーブル g 4 1 1 と、バス調停回路 g 4 1 2 と、ベースレジスタ g 4 1 3 と、ジッタ選択回路 g 4 1 4 と、4 ポート g 4 1 5、g 4 1 6、g 4 1 7、g 4 1 8 と、を有して成る。

## 【 0 1 6 8 】

アクティブ判定回路 g 4 1 0 は、信号線 h 4 1 5、h 4 1 6、h 4 1 7、h 4 1 8 を介して得られた各ポート g 4 1 5～g 4 1 8 のアクティブ状態信号に基づいて、各ポート g 4 1 5～g 4 1 8 がアクティブ状態であるか否かを判別し、信号線 h 4 1 0 を介して該判別結果（アクティブポートの組合わせ）をジッタ選択

回路 g 4 1 4 に送出する。

【 0 1 6 9 】

参照テーブル g 4 1 1 は、各ポート g 4 1 5 ～ g 4 1 8 間における全てのジッタ値を保持している。図 2 6 は参照テーブル g 4 1 1 の格納内容を示すデータマップである。本図に示す通り、参照テーブル g 4 1 1 には、各ポート g 4 1 5 ～ g 4 1 8 間における全てのジッタ値がマトリックス状に格納されている。

【 0 1 7 0 】

バス調停回路 g 4 1 2 は、I E E E シリアルバスの調停を行うとともに、各ポート g 4 1 5 ～ g 4 1 8 との間で信号線 h 4 1 4 を介した信号の授受を行う。このとき、バス調停回路 g 4 1 2 は、いずれのポートから信号が入力されたかを判別し、信号線 h 4 1 2 を介して該判別結果（入力ポート情報）をジッタ選択回路 g 4 1 4 に送出する。また、バス調停回路 g 4 1 2 には、送受信装置の動作条件が記述されたベースレジスタ g 4 1 3 が接続されており、送受信装置は、ベースレジスタ g 4 1 3 に記述された条件に従って動作する。ポート g 4 1 5 ～ g 4 1 8 は、それぞれ他ノードとの間で信号の受け渡しを行う。

【 0 1 7 1 】

遅延選択回路 g 4 1 4 は、アクティブ判定回路 g 4 1 0 の出力信号（アクティブポートの組合わせ）とバス調停回路 g 4 1 2 で得た入力ポート情報に応じて、参照テーブル g 4 1 1 に格納された全伝送遅延値の中から、信号入力ポートと他アクティブポート間における最大伝送遅延値を選択し、信号線 h 4 1 3 経由でベースレジスタ g 4 1 3 のジッタ領域（図 3 3 参照）に割り当てる。

【 0 1 7 2 】

例えば、ポート g 4 1 7 以外がアクティブ状態であって、ポート g 4 1 5 に信号が入力された場合には、図 2 6 において破線円で囲まれた数字がジッタ選択回路 g 4 1 4 の選択対象とされる。このように、ジッタ選択回路 g 4 1 4 の選択対象とされるジッタ値には、信号入力ポートと非アクティブポートとの間におけるジッタ値や、信号入力ポートを除いた他アクティブポート間におけるジッタ値が含まれていないので、前述の第 1 5 実施形態に比べて、さらに無駄のないジッタ値設定を行うことができる。

## 【 0 1 7 3 】

上記構成から成る送受信装置において、例えば、ポート g 4 1 7 以外がアクティブ状態であって、ポート g 4 1 5 に信号が入力された場合について考える。この場合、従来の手法では、非アクティブ状態のポート g 4 1 7 を含む全ポートの組合わせ中で最大のジッタ値「9」（参照テーブル g 4 1 1 において、ポート g 4 1 6 とポート g 4 1 7 との間のジッタ値として格納された値）がノードのジッタ値として固定設定されていたが、本実施形態の送受信装置では、信号入力ポート g 4 1 5 と他アクティブポート g 4 1 6、g 4 1 8 との間における最大ジッタ値「3」（参照テーブル g 4 1 1 において、ポート g 4 1 5 とポート g 4 1 6 との間のジッタ値として格納された値）がノードのジッタ値として選択され、ベースレジスタ g 4 1 3 のジッタ領域に割り当てられる。

## 【 0 1 7 4 】

このような構成とすることにより、送受信装置のジッタ値を不要に大きく設定してしまうことがなくなるので、ギャップカウント [Gap\_count] 引いてはギャップ自体を最適化して、効率の良い通信を行うことが可能となる。

## 【 0 1 7 5 】

（本発明に係る送受信装置の第 1 7 実施形態）

次に、本発明に係る送受信装置の第 1 7 実施形態について、図 2 7 を参照しながら詳細に説明する。図 2 7 は本発明に係る送受信装置の第 1 7 実施形態を示すブロック図である。本実施形態の送受信装置は、「IEEE Std. 1394a-2000」規格に準拠した送受信装置であり、本図に示すように、アクティブ判定回路 g 5 0 0 と、参照テーブル g 5 0 1 と、バス調停回路 g 5 0 2 と、ベースレジスタ g 5 0 3 と、遅延算出回路 g 5 0 4 と、4 つのポート g 5 0 5、g 5 0 6、g 5 0 7、g 5 0 8 と、を有して成る。

## 【 0 1 7 6 】

アクティブ判定回路 g 5 0 0 は、信号線 h 5 0 5、h 5 0 6、h 5 0 7、h 5 0 8 を介して得られた各ポート g 5 0 5～g 5 0 8 のアクティブ状態信号に基づいて、各ポート g 5 0 5～g 5 0 8 がアクティブ状態であるか否かを判別し、信号線 h 5 0 0 を介して該判別結果（アクティブポートの組合わせ）を遅延算出回

路 g 5 0 4 に送出する。

【 0 1 7 7 】

参照テーブル g 5 0 1 は、各ポート g 5 0 5 ～ g 5 0 8 毎に、該ポート及び該ポート用信号フォーマット変更部における伝送遅延値（伝送遅延値自体ではなく実伝送遅延値から所定の計算式によって求められた計算値であり、数字が大きいほど伝送遅延も大きい。以下同様）を保持している。

【 0 1 7 8 】

バス調停回路 g 5 0 2 は、I E E E シリアルバスの調停を行う。また、バス調停回路 g 5 0 2 には、送受信装置の動作条件が記述されたベースレジスタ g 5 0 3 が接続されており、送受信装置は、ベースレジスタ g 5 0 3 に記述された条件に従って動作する。ポート g 5 0 5 ～ g 5 0 8 は、それぞれ他ノードとの間で信号の受け渡しを行う。

【 0 1 7 9 】

遅延算出回路 g 5 0 4 は、アクティブ判定回路 g 5 0 0 の出力信号（アクティブポートの組合わせ）に応じて、参照テーブル g 5 0 1 に格納されたアクティブポートにおける伝送遅延値の中から大きいものを順に 2 つ選択し、両値に物理層での信号処理に要する最大伝送遅延値を加算して、信号線 h 5 0 3 経由でベースレジスタ g 5 0 3 のディレイ領域（図 3 3 参照）に割り当てる。

【 0 1 8 0 】

上記構成から成る送受信装置において、例えば、ポート g 5 0 5、g 5 0 6、g 5 0 8 がアクティブ状態であり、ポート g 5 0 7 が非アクティブ状態である場合について考える。この場合、従来の手法では、非アクティブ状態のポート g 5 0 7 を含む全ポートの組合わせ中で最大の伝送遅延値がノードの伝送遅延値として固定設定されていたが、本実施形態の送受信装置では、アクティブポート g 5 0 5、g 5 0 6、g 5 0 8 における伝送遅延値の中から大きいものが順に 2 つ選択され、両値に物理層での信号処理に要する最大伝送遅延値が加算されて、ベースレジスタ g 5 0 3 のディレイ領域に割り当てられる。

【 0 1 8 1 】

このような構成とすることにより、送受信装置の伝送遅延値を不要に大きく設

定してしまうことがなくなるので、ギャップカウント [Gap\_count] 引いてはギャップ自体を最適化して、効率の良い通信を行うことが可能となる。

#### 【 0 1 8 2 】

(本発明に係る送受信装置の第 1 8 実施形態)

次に、本発明に係る送受信装置の第 1 8 実施形態について、図 2 8 を参照しながら詳細に説明する。図 2 8 は本発明に係る送受信装置の第 1 8 実施形態を示すブロック図である。本実施形態の送受信装置は、「IEEE Std. 1394a-2000」規格に準拠した送受信装置であり、本図に示すように、参照テーブル g 5 1 1 と、バス調停回路 g 5 1 2 と、ベースレジスタ g 5 1 3 と、遅延算出回路 g 5 1 4 と、4 つのポート g 5 1 5、g 5 1 6、g 5 1 7、g 5 1 8 と、を有して成る。

#### 【 0 1 8 3 】

参照テーブル g 5 1 1 は、各ポート g 5 1 5 ～ g 5 1 8 毎に、該ポート及び該ポート用信号フォーマット変更部における伝送遅延値を保持している。

#### 【 0 1 8 4 】

バス調停回路 g 5 1 2 は、IEEE シリアルバスの調停を行う。また、バス調停回路 g 5 1 2 には、送受信装置の動作条件が記述されたベースレジスタ g 5 1 3 が接続されており、送受信装置は、ベースレジスタ g 5 1 3 に記述された条件に従って動作する。ポート g 5 1 5 ～ g 5 1 8 は、それぞれ他ノードとの間で信号の受け渡しを行う。

#### 【 0 1 8 5 】

遅延算出回路 g 5 1 4 は、参照テーブル g 5 1 1 に格納された伝送遅延値の中から大きいものを順に 2 つ選んで足し合わせた伝送遅延値と、あるポート単独での信号入出力に要する伝送遅延値（あるポートに制御信号が入力され、同ポートから前記制御信号に対する制御信号を返すまでの伝送遅延値）を比較し、より大きい値に物理層での信号処理に要する最大伝送遅延値を加算して、信号線 h 5 1 3 経由でベースレジスタ g 5 1 3 のディレイ領域（図 3 3 参照）に割り当てる。

#### 【 0 1 8 6 】

このような構成とすることにより、同一ポートで信号の入出力が為される場合でも、送受信装置の伝送遅延値を過小設定してしまうことがなくなるので、ギャ

ップカウント [Gap\_count] 引いてはギャップを保証して、確実な通信を行うことが可能となる。

## 【 0 1 8 7 】

(本発明に係る送受信装置の第 1 9 実施形態)

次に、本発明に係る送受信装置の第 1 9 実施形態について、図 2 9 を参照しながら詳細に説明する。図 2 9 は本発明に係る送受信装置の第 1 9 実施形態を示すブロック図である。本実施形態の送受信装置は、「IEEE Std. 1394a-2000」規格に準拠した送受信装置であり、本図に示すように、アクティブ判定回路 g 5 2 0 と、参照テーブル g 5 2 1 と、バス調停回路 g 5 2 2 と、ベースレジスタ g 5 2 3 と、遅延算出回路 g 5 2 4 と、5つのポート g 5 2 5、g 5 2 6、g 5 2 7、g 5 2 8、g 5 2 9 と、を有して成る。

## 【 0 1 8 8 】

アクティブ判定回路 g 5 2 0 は、信号線 h 5 2 5、h 5 2 6、h 5 2 7、h 5 2 8、h 5 2 9 を介して得られた各ポート g 5 2 5 ~ g 5 2 9 のアクティブ状態信号に基づいて、各ポート g 5 2 5 ~ g 5 2 9 がアクティブ状態であるか否かを判別し、信号線 h 5 2 0 を介して該判別結果（アクティブポートの組合わせ）を遅延算出回路 g 5 2 4 に送出する。

## 【 0 1 8 9 】

参照テーブル g 5 2 1 は、各ポート g 5 2 5 ~ g 5 2 9 毎に、該ポート及び該ポート用信号フォーマット変更部における伝送遅延値を保持している。

## 【 0 1 9 0 】

バス調停回路 g 5 2 2 は、IEEE シリアルバスの調停を行うとともに、各ポート g 5 2 5 ~ g 5 2 9 との間で信号線 h 5 2 4 を介した信号の授受を行う。このとき、バス調停回路 g 5 2 2 は、いずれのポートから信号が入力されたかを判別し、信号線 h 5 2 2 を介して該判別結果（入力ポート情報）を遅延算出回路 g 5 2 4 に送出する。また、バス調停回路 g 5 2 2 には、送受信装置の動作条件が記述されたベースレジスタ g 5 2 3 が接続されており、送受信装置は、ベースレジスタ g 5 2 3 に記述された条件に従って動作する。ポート g 5 2 5 ~ g 5 2 9 は、それぞれ他ノードとの間で信号の受け渡しを行う。



## 【 0 1 9 1 】

遅延算出回路 g 5 2 4 は、アクティブ判定回路 g 5 2 0 の出力信号（アクティブポートの組合わせ）とバス調停回路 g 5 2 2 で得た入力ポート情報に応じて、参照テーブル g 5 2 1 に格納された信号入力ポートを除いたアクティブポートにおける伝送遅延値の中から大きいものを順に 2 つ選択して足し合わせた伝送遅延値と、信号入力ポート単独での信号入出力に要する伝送遅延値を比較し、より大きい値に物理層での信号処理に要する最大伝送遅延値を加算して、信号線 h 5 2 3 経由でベースレジスタ g 5 2 3 のディレイ領域（図 3 3 参照）に割り当てる。

## 【 0 1 9 2 】

上記構成から成る送受信装置において、例えば、ポート g 5 2 9 以外がアクティブ状態であって、ポート g 5 2 5 に信号が入力された場合について考える。この場合、従来の手法では、非アクティブ状態のポート g 5 2 9 を含む全ポートの組合わせ中で最大の伝送遅延値がノードの伝送遅延値として固定設定されていたが、本実施形態の送受信装置では、信号入力ポート g 5 2 5 を除いたアクティブポート g 5 2 6 ～ g 5 2 8 における伝送遅延値の中から大きいものを順に 2 つ選択して足し合わせた伝送遅延値と、信号入力ポート g 5 2 5 単独での信号入出力に要する伝送遅延値を比較し、より大きい値に物理層での信号処理に要する最大伝送遅延値を加算した伝送遅延値がノードの伝送遅延値として算出され、ベースレジスタ g 5 2 3 のディレイ領域に割り当てられる。

## 【 0 1 9 3 】

このような構成とすることにより、送受信装置の伝送遅延値を不要に大きく設定してしまうことがなくなるので、ギャップカウント [Gap\_count] 引いてはギャップ自体を最適化して、効率の良い通信を行うことが可能となる。

## 【 0 1 9 4 】

（本発明に係る送受信装置の第 2 0 実施形態）

次に、本発明に係る送受信装置の第 2 0 実施形態について、図 3 0 を参照しながら詳細に説明する。図 3 0 は本発明に係る送受信装置の第 2 0 実施形態を示すブロック図である。本実施形態の送受信装置は、「IEEE Std. 1394a-2000」規格に準拠した送受信装置であり、本図に示すように、アクティブ判定回路 g 6 0 0

と、参照テーブル g 6 0 1 と、バス調停回路 g 6 0 2 と、ベースレジスタ g 6 0 3 と、ジッタ算出回路 g 6 0 4 と、4 ポート g 6 0 5、g 6 0 6、g 6 0 7、g 6 0 8 と、を有して成る。

## 【 0 1 9 5 】

アクティブ判定回路 g 6 0 0 は、信号線 h 6 0 5、h 6 0 6、h 6 0 7、h 6 0 8 を介して得られた各ポート g 6 0 5 ～ g 6 0 8 のアクティブ状態信号に基づいて、各ポート g 6 0 5 ～ g 6 0 8 がアクティブ状態であるか否かを判別し、信号線 h 6 0 0 を介して該判別結果（アクティブポートの組合わせ）をジッタ算出回路 g 6 0 4 に送出する。

## 【 0 1 9 6 】

参照テーブル g 6 0 1 は、各ポート g 6 0 5 ～ g 6 0 8 毎に、該ポート及び該ポート用信号フォーマット変更部におけるジッタ値（ジッタ値自体ではなく実ジッタ値から所定の計算式によって求められた計算値であり、数字が大きいほどジッタも大きい。以下同様）を保持している。

## 【 0 1 9 7 】

バス調停回路 g 6 0 2 は、I E E E シリアルバスの調停を行う。また、バス調停回路 g 6 0 2 には、送受信装置の動作条件が記述されたベースレジスタ g 6 0 3 が接続されており、送受信装置は、ベースレジスタ g 6 0 3 に記述された条件に従って動作する。ポート g 6 0 5 ～ g 6 0 8 は、それぞれ他ノードとの間で信号の受け渡しを行う。

## 【 0 1 9 8 】

ジッタ算出回路 g 6 0 4 は、アクティブ判定回路 g 6 0 0 の出力信号（アクティブポートの組合わせ）に応じて、参照テーブル g 6 0 1 に格納されたアクティブポートにおけるジッタ値の中から大きいものを順に 2 つ選択し、両値に物理層での信号処理に要する最大ジッタ値を加算して、信号線 h 6 0 3 経由でベースレジスタ g 6 0 3 のジッタ領域（図 3 3 参照）に割り当てる。

## 【 0 1 9 9 】

上記構成から成る送受信装置において、例えば、ポート g 6 0 5、g 6 0 6、g 6 0 8 がアクティブ状態であり、ポート g 6 0 7 が非アクティブ状態である場

合について考える。この場合、従来手法では、非アクティブ状態のポート g 6 0 7 を含む全ポートの組合わせ中で最大のジッタ値がノードのジッタ値として固定設定されていたが、本実施形態の送受信装置では、アクティブポート g 6 0 5、g 6 0 6、g 6 0 8 におけるジッタ値の中から大きいものが順に 2 つ選択され、両値に物理層での信号処理に要する最大ジッタ値が加算されて、ベースレジスタ g 6 0 3 のジッタ領域に割り当てられる。

## 【 0 2 0 0 】

このような構成とすることにより、送受信装置のジッタ値を不要に大きく設定してしまうことがなくなるので、ギャップカウント [Gap\_count] 引いてはギャップ自体を最適化して、効率の良い通信を行うことが可能となる。

## 【 0 2 0 1 】

(本発明に係る送受信装置の第 2 1 実施形態)

次に、本発明に係る送受信装置の第 2 1 実施形態について、図 3 1 を参照しながら詳細に説明する。図 3 1 は本発明に係る送受信装置の第 2 1 実施形態を示すブロック図である。本実施形態の送受信装置は、「IEEE Std. 1394a-2000」規格に準拠した送受信装置であり、本図に示すように、アクティブ判定回路 g 6 1 0 と、参照テーブル g 6 1 1 と、バス調停回路 g 6 1 2 と、ベースレジスタ g 6 1 3 と、ジッタ算出回路 g 6 1 4 と、4 ポート g 6 1 5、g 6 1 6、g 6 1 7、g 6 1 8 と、を有して成る。

## 【 0 2 0 2 】

アクティブ判定回路 g 6 1 0 は、信号線 h 6 1 5、h 6 1 6、h 6 1 7、h 6 1 8 を介して得られた各ポート g 6 1 5 ~ g 6 1 8 のアクティブ状態信号に基づいて、各ポート g 6 1 5 ~ g 6 1 8 がアクティブ状態であるか否かを判別し、信号線 h 6 1 0 を介して該判別結果（アクティブポートの組合わせ）をジッタ算出回路 g 6 1 4 に送出する。

## 【 0 2 0 3 】

参照テーブル g 6 1 1 は、各ポート g 6 1 5 ~ g 6 1 8 毎に、該ポート及び該ポート用信号フォーマット変更部におけるジッタ値を保持している。

## 【 0 2 0 4 】

バス調停回路 g 6 1 2 は、I E E E シリアルバスの調停を行うとともに、各ポート g 6 1 5 ~ g 6 1 8 との間で信号線 h 6 1 4 を介した信号の授受を行う。このとき、バス調停回路 g 6 1 2 は、いずれのポートから信号が入力されたかを判別し、信号線 h 6 1 2 を介して該判別結果（入力ポート情報）をジッタ算出回路 g 6 1 4 に送出する。また、バス調停回路 g 6 1 2 には、送受信装置の動作条件が記述されたベースレジスタ g 6 1 3 が接続されており、送受信装置は、ベースレジスタ g 6 1 3 に記述された条件に従って動作する。ポート g 6 1 5 ~ g 6 1 8 は、それぞれ他ノードとの間で信号の受け渡しを行う。

#### 【 0 2 0 5 】

ジッタ算出回路 g 6 1 4 は、アクティブ判定回路 g 6 1 0 の出力信号（アクティブポートの組合わせ）とバス調停回路 g 6 1 2 で得られた入力ポート情報に応じて、信号入力ポート単独での信号入出力に要するジッタ値と、参照テーブル g 6 1 1 に格納された信号入力ポートを除いたアクティブポートにおける最大ジッタ値と、物理層での信号処理に要する最大ジッタ値を加算して、信号線 h 6 1 3 経由でベースレジスタ g 6 1 3 のジッタ領域（図 3 3 参照）に割り当てる。

#### 【 0 2 0 6 】

上記構成から成る送受信装置において、例えば、ポート g 6 1 7 以外がアクティブ状態であって、ポート g 6 1 5 に信号が入力された場合について考える。この場合、従来の手法では、非アクティブ状態のポート g 6 1 7 を含む全ポートの組合わせ中で最大のジッタ値がノードのジッタ値として固定設定されていたが、本実施形態の送受信装置では、信号入力ポート g 6 1 5 単独での信号入出力に要するジッタ値と、信号入力ポート g 6 1 5 を除いたアクティブポート g 6 1 6、g 6 1 8 における最大ジッタ値と、物理層での信号処理に要する最大ジッタ値を加算した値が、ノードのジッタ値としてベースレジスタ g 6 1 3 のジッタ領域に割り当てられる。

#### 【 0 2 0 7 】

このような構成とすることにより、送受信装置のジッタ値を不要に大きく設定してしまうことがなくなるので、ギャップカウント [Gap\_count] 引いてはギャップ自体を最適化して、効率の良い通信を行うことが可能となる。

## 【 0 2 0 8 】

なお、上記実施形態（第 4 ～第 6 実施形態、第 9 ～第 1 1 実施形態を除く）では、「IEEE Std. 1394a-2000」規格準拠の送受信装置に本発明を適用した場合を例示して説明を行ったが、本発明の適用対象はこれに限定されるものではなく、「IEEE Std. 1394b」規格や「OP i.LINK」規格などに準拠した送受信装置についても本発明を適用することが可能である。

## 【 0 2 0 9 】

また、上記実施形態では、アクティブ判定動作や遅延値・ジッタ値設定動作等をハードウェアで実現した場合を例に挙げて説明を行ったが、これらの動作については、ソフトウェアで実現しても構わない。

## 【 0 2 1 0 】

## 【発明の効果】

上記したように、本発明に係る送受信装置であれば、ノードの持つ伝送遅延やジッタを複数ポートの稼動状況に応じて的確に絞り込むことで、伝送遅延やジッタを不要に大きく設定してしまうことがなくなるので、効率の良い通信を行うことが可能となる。また、本発明に係る送受信装置であれば、バスを管理するバスマネージャに返信するノードの伝送遅延やジッタをアクティブポートの種類に応じて的確に設定することができるので、バスマネージャの準拠規格に依ることなく、効率の良い通信を行うことが可能となる。

## 【図面の簡単な説明】

【図 1】 本発明に係る送受信装置の第 1、2 実施形態を示すブロック図である。

【図 2】 参照テーブル g 1 0 1 の格納内容（第 1 実施形態）を示すデータマップである。

【図 3】 参照テーブル g 1 0 1 の格納内容（第 2 実施形態）を示すデータマップである。

【図 4】 第 2 実施形態の送受信装置の別構成例を示すブロック図である。

【図 5】 本発明に係る送受信装置の第 3 実施形態を示すブロック図である。

【図 6】 参照テーブル g 1 2 1 の格納内容を示すデータマップである。

【図 7】 本発明に係る送受信装置の第 4 実施形態を示すブロック図である。

【図 8】 本発明に係る送受信装置の第 5 実施形態を示すブロック図である。

【図 9】 本発明に係る送受信装置の第 6 実施形態を示すブロック図である。

【図 1 0】 本発明に係る送受信装置の第 7 実施形態を示すブロック図である。

【図 1 1】 参照テーブル g 2 0 1 の格納内容を示すデータマップである。

【図 1 2】 本発明に係る送受信装置の第 8 実施形態を示すブロック図である。

【図 1 3】 参照テーブル g 2 1 1 の格納内容を示すデータマップである。

【図 1 4】 本発明に係る送受信装置の第 9 実施形態を示すブロック図である。

【図 1 5】 本発明に係る送受信装置の第 10 実施形態を示すブロック図である。

【図 1 6】 本発明に係る送受信装置の第 11 実施形態を示すブロック図である。

【図 1 7】 本発明に係る送受信装置の第 1 2、第 1 3 実施形態を示すブロック図である。

【図 1 8】 参照テーブル g 3 0 1 の格納内容（第 1 2 実施形態）を示すデータマップである。

【図 1 9】 参照テーブル g 3 0 1 の格納内容（第 1 3 実施形態）を示すデータマップである。

【図 2 0】 第 1 3 実施形態の送受信装置の別構成例を示すブロック図である。

【図 2 1】 本発明に係る送受信装置の第 14 実施形態を示すブロック図である。

【図 2 2】 参照テーブル g 3 2 1 の格納内容を示すデータマップである。

【図 2 3】 本発明に係る送受信装置の第 15 実施形態を示すブロック図である。

【図 2 4】 参照テーブル g 4 0 1 の格納内容を示すデータマップである。

【図 2 5】 本発明に係る送受信装置の第 16 実施形態を示すブロック図である。

【図 2 6】 参照テーブル g 4 1 1 の格納内容を示すデータマップである。

【図 2 7】 本発明に係る送受信装置の第 17 実施形態を示すブロック図である。

【図 2 8】 本発明に係る送受信装置の第 18 実施形態を示すブロック図である。

【図 2 9】 本発明に係る送受信装置の第 19 実施形態を示すブロック図である。

【図 3 0】 本発明に係る送受信装置の第 20 実施形態を示すブロック図である。

【図 3 1】 本発明に係る送受信装置の第 21 実施形態を示すブロック図である。

【図 3 2】 従来の「IEEE Std. 1394a-2000」規格に準拠した物理層回路の一例を示すブロック図である。

【図 3 3】 レジスタ回路 1 0 4 の記述内容を示すレジスタマップである。

【図 3 4】 伝送遅延時間 [Round-trip\_delay] を求める際に用いるバストポロジの一例を示す図である。

【図 3 5】 「OP i.LINK」 規格で定められた OP i.LINK ページのレジスタマップである。

【図 3 6】 セルフ ID パケットの内容を示す図である。

【図 3 7】 アクティブポートと非アクティブポートが存在するノードの一例を示す図である。

【図 3 8】 同一ポートにおける信号送受信時の伝送遅延が最大であるノードの一例を示す図である。

【図 3 9】 バスマネージャが最長パス上にない場合におけるバストポロジの一例を示す図である。

【図 4 0】 アクティブポートと非アクティブポートが存在するノードの一例を示す図である。

【図 4 1】 あるポートから制御信号が入力された際におけるジッタの問題を説明するための図である。

【符号の説明】

g 1 x 0 (x = 0、2 ~ 5)	アクティブ判定回路
g 1 x 1 (x = 0 ~ 2)	参照テーブル
g 1 x 1 (x = 3 ~ 5)	遅延設定回路
g 1 x 2 (x = 0 ~ 5)	バス調停回路
g 1 x 3 (x = 0 ~ 5)	ベースレジスタ
g 1 x 4 (x = 3 ~ 5)	OP i.LINK ページ
g 1 x 5 ~ g 1 x 7 (x = 0 ~ 5)	ポート
g 1 x 8 (x = 0 ~ 2)	ポート
g 1 x 9 (x = 2)	ポート
g 2 x 0 (x = 0 ~ 4)	アクティブ判定回路
g 2 x 1 (x = 0、1)	参照テーブル
g 2 x 1 (x = 2 ~ 4)	ジッタ設定回路

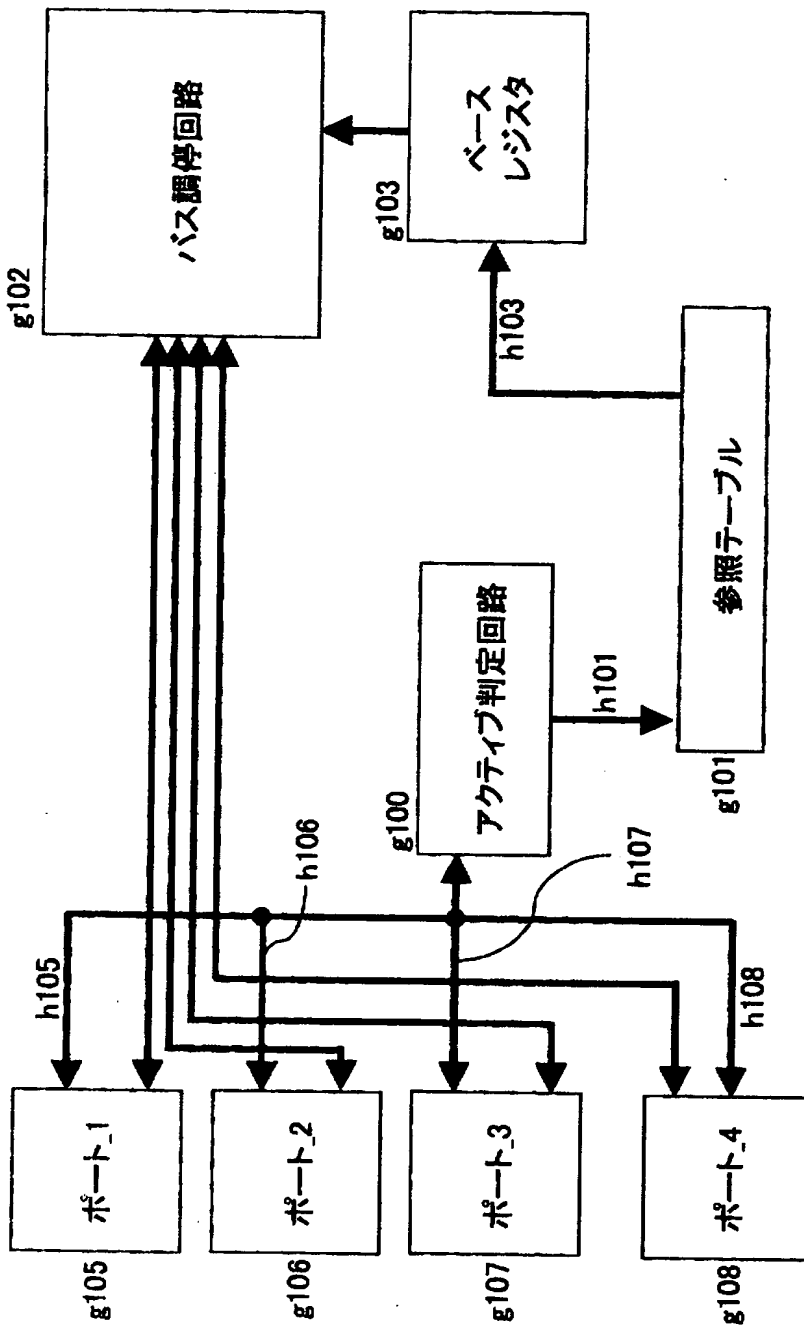
$g 2 \times 2$ ( $x = 0 \sim 4$ )	バス調停回路
$g 2 \times 3$ ( $x = 0 \sim 4$ )	ベースレジスタ
$g 2 \times 4$ ( $x = 2 \sim 4$ )	OP i.LINKページ
$g 2 \times 5 \sim g 2 \times 8$ ( $x = 0 \sim 4$ )	ポート
$g 3 \times 0$ ( $x = 0, 2$ )	アクティブ判定回路
$g 3 \times 1$ ( $x = 0 \sim 2$ )	参照テーブル
$g 3 \times 2$ ( $x = 0 \sim 2$ )	バス調停回路
$g 3 \times 3$ ( $x = 0 \sim 2$ )	ベースレジスタ
$g 3 \times 4$ ( $x = 0 \sim 2$ )	遅延選択回路
$g 3 \times 5 \sim g 3 \times 8$ ( $x = 0 \sim 2$ )	ポート
$g 3 \times 9$ ( $x = 2$ )	ポート
$g 4 \times 0$ ( $x = 0, 1$ )	アクティブ判定回路
$g 4 \times 1$ ( $x = 0, 1$ )	参照テーブル
$g 4 \times 2$ ( $x = 0, 1$ )	バス調停回路
$g 4 \times 3$ ( $x = 0, 1$ )	ベースレジスタ
$g 4 \times 4$ ( $x = 0, 1$ )	ジッタ選択回路
$g 4 \times 5 \sim g 4 \times 8$ ( $x = 0, 1$ )	ポート
$g 5 \times 0$ ( $x = 0, 2$ )	アクティブ判定回路
$g 5 \times 1$ ( $x = 0 \sim 2$ )	参照テーブル
$g 5 \times 2$ ( $x = 0 \sim 2$ )	バス調停回路
$g 5 \times 3$ ( $x = 0 \sim 2$ )	ベースレジスタ
$g 5 \times 4$ ( $x = 0 \sim 2$ )	遅延算出回路
$g 5 \times 5 \sim g 5 \times 8$ ( $x = 0 \sim 2$ )	ポート
$g 5 \times 9$ ( $x = 2$ )	ポート
$g 6 \times 0$ ( $x = 0, 1$ )	アクティブ判定回路
$g 6 \times 1$ ( $x = 0, 1$ )	参照テーブル
$g 6 \times 2$ ( $x = 0, 1$ )	バス調停回路
$g 6 \times 3$ ( $x = 0, 1$ )	ベースレジスタ
$g 6 \times 4$ ( $x = 0, 1$ )	ジッタ算出回路



$g6x5 \sim g6x8$  ( $x=0, 1$ )      ポート

【書類名】 図面

【図 1】



【図 2】

組合わせに応じた 最大伝送遅延値		組合わせに応じた 最大伝送遅延値	
port_active		port_active	
0000	0	1000	0
0001	0	1001	2
0010	0	1010	6
0011	8	1011	8
0100	0	1100	3
0101	5	1101	5
0110	9	1110	9
0111	9	1111	9

ポート\_4 (g108)  
 ポート\_3 (g107)  
 ポート\_2 (g106)  
 ポート\_1 (g105)

1: アクティブポート  
 0: 非アクティブポート

【図 3】

組合わせに応じた 最大伝送遅延値		組合わせに応じた 最大伝送遅延値	
port_active		port_active	
0000	0	1000	1
0001	4	1001	4
0010	10	1010	10
0011	10	1011	10
0100	7	1100	7
0101	7	1101	7
0110	10	1110	10
0111	10	1111	10

ポート\_4 (g108)

ポート\_3 (g107)

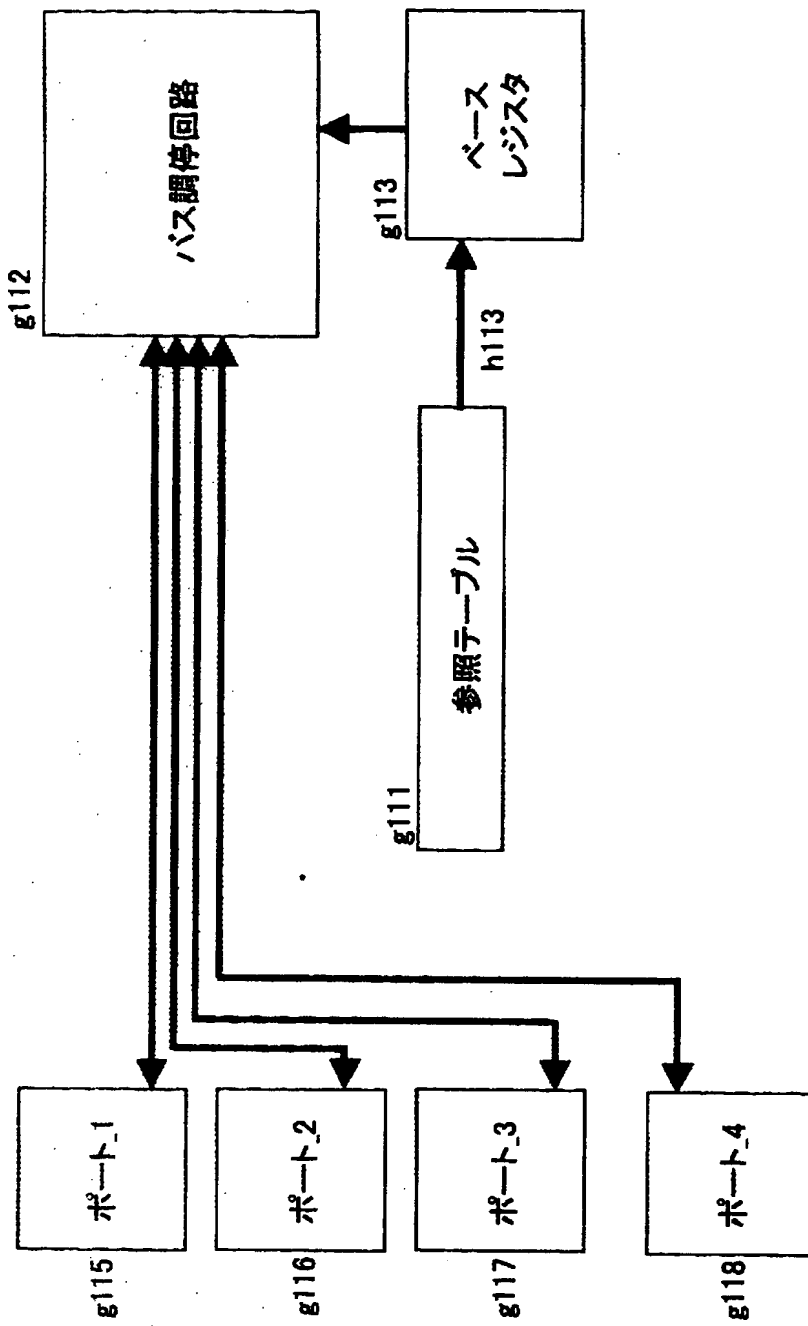
ポート\_2 (g106)

ポート\_1 (g105)

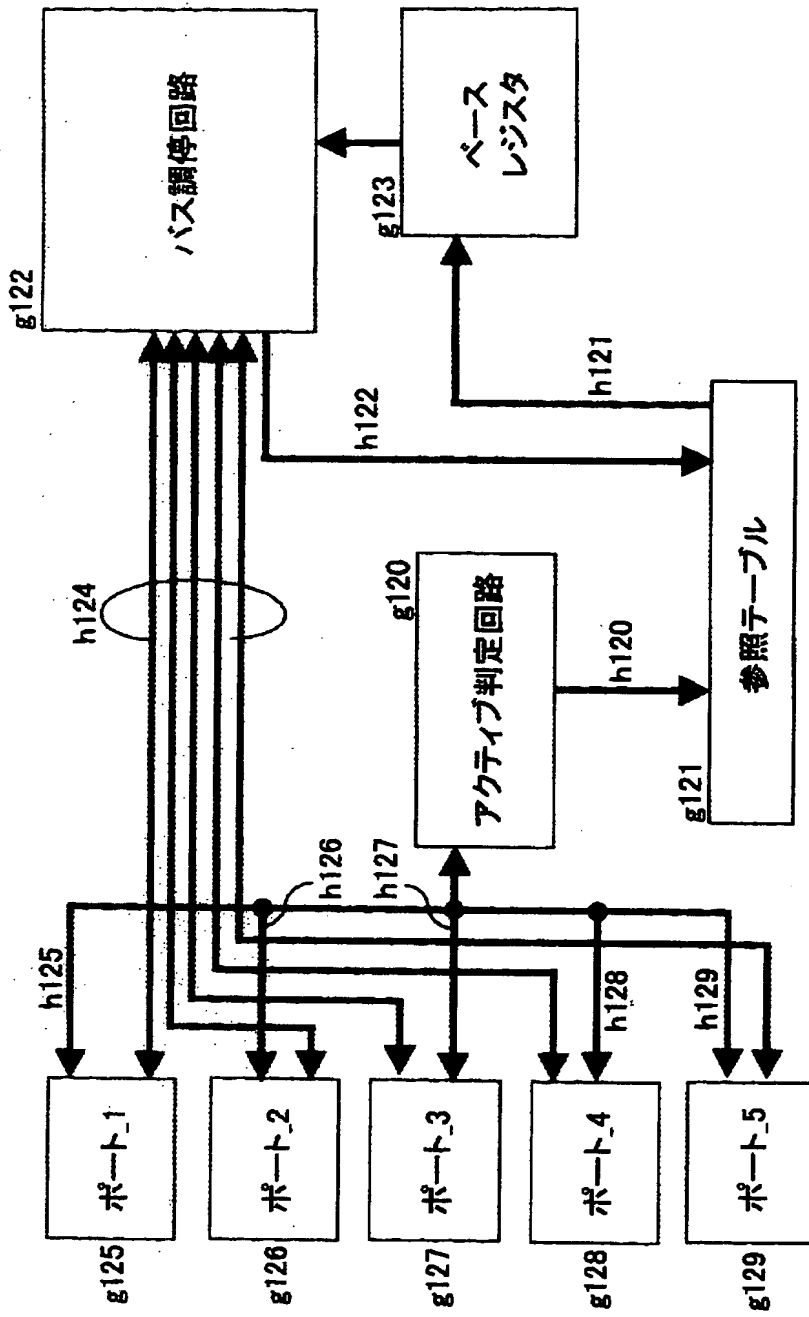
1: アクティブポート

0: 非アクティブポート

【図4】



【図 5】



【図 6】

組合わせに応じた 最大伝送遅延値		組合わせに応じた 最大伝送遅延値	
port_active		port_active	
10000	0	11000	1
10001	4	11001	4
10010	10	11010	10
10011	10	11011	10
10100	7	11100	7
10101	7	11101	7
10110	10	11110	10
10111	10	11111	10

ポート\_5 (g129)

ポート\_4 (g128)

ポート\_3 (g127)

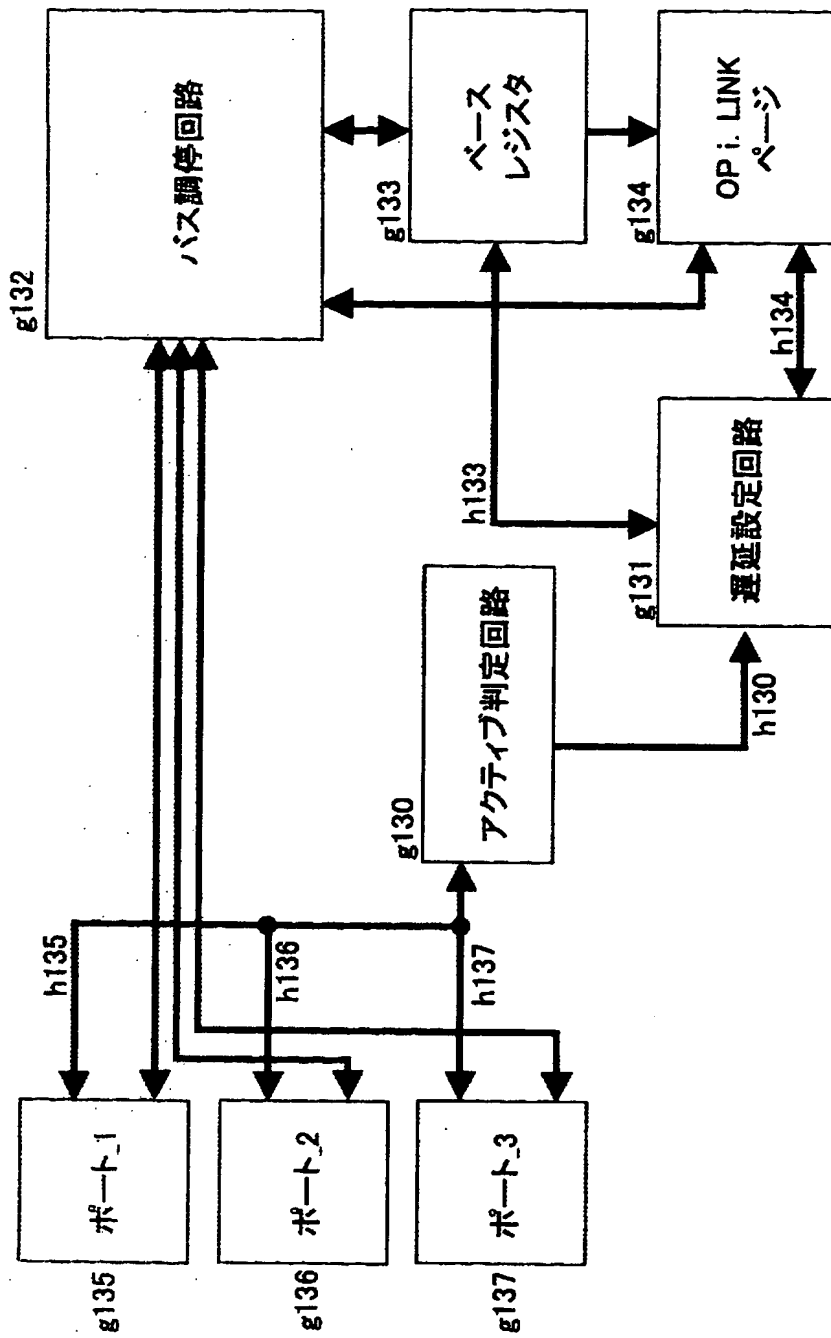
ポート\_2 (g126)

ポート\_1 (g125)

1: アクティブポート

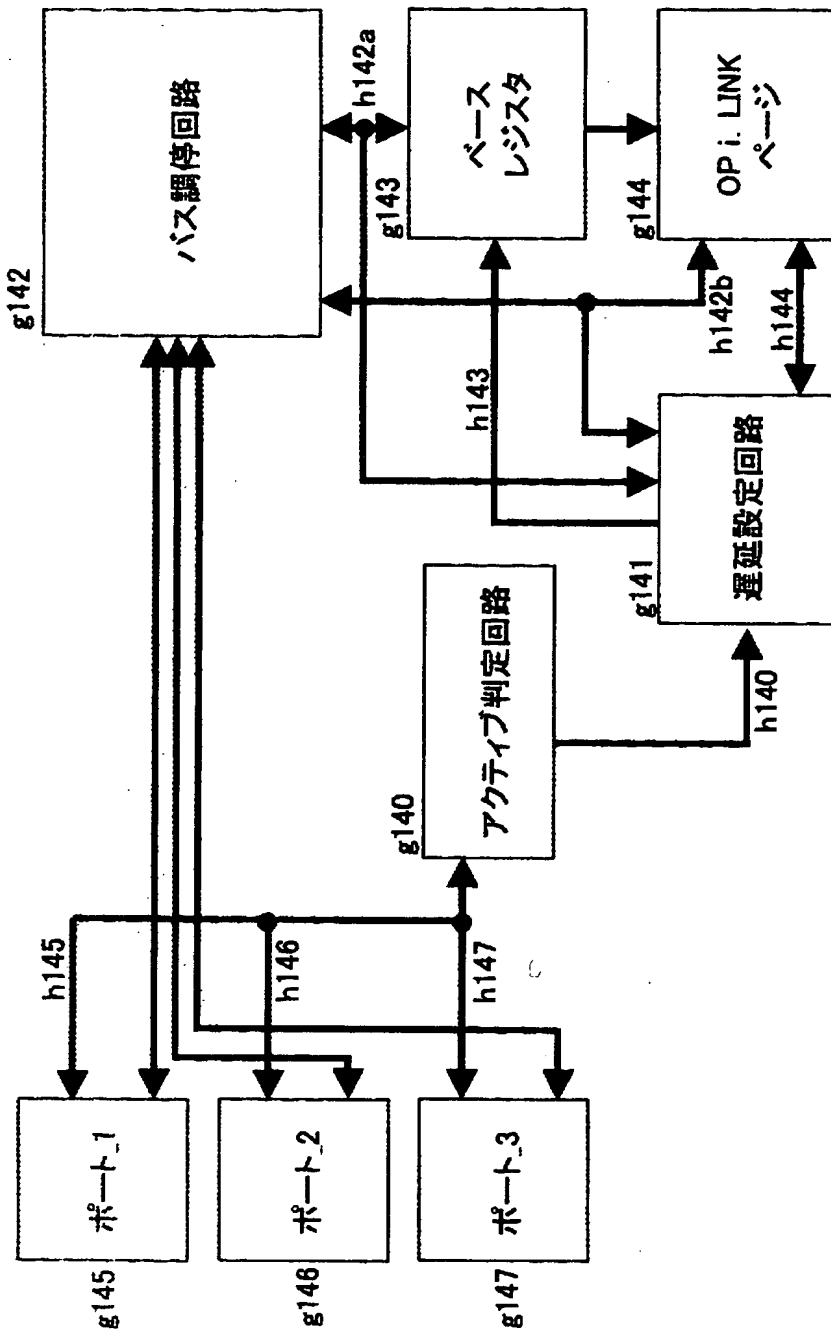
0: 非アクティブポート

【図 7】

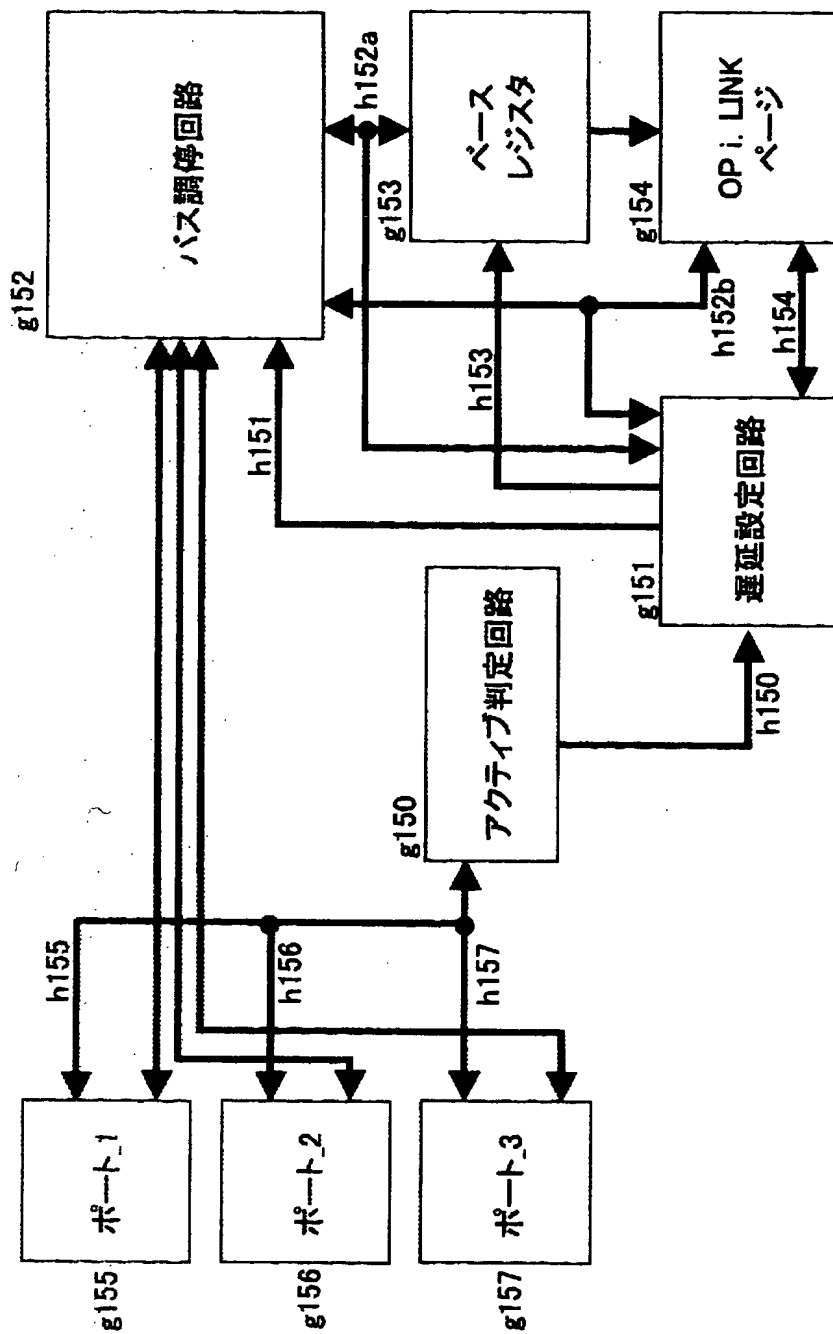




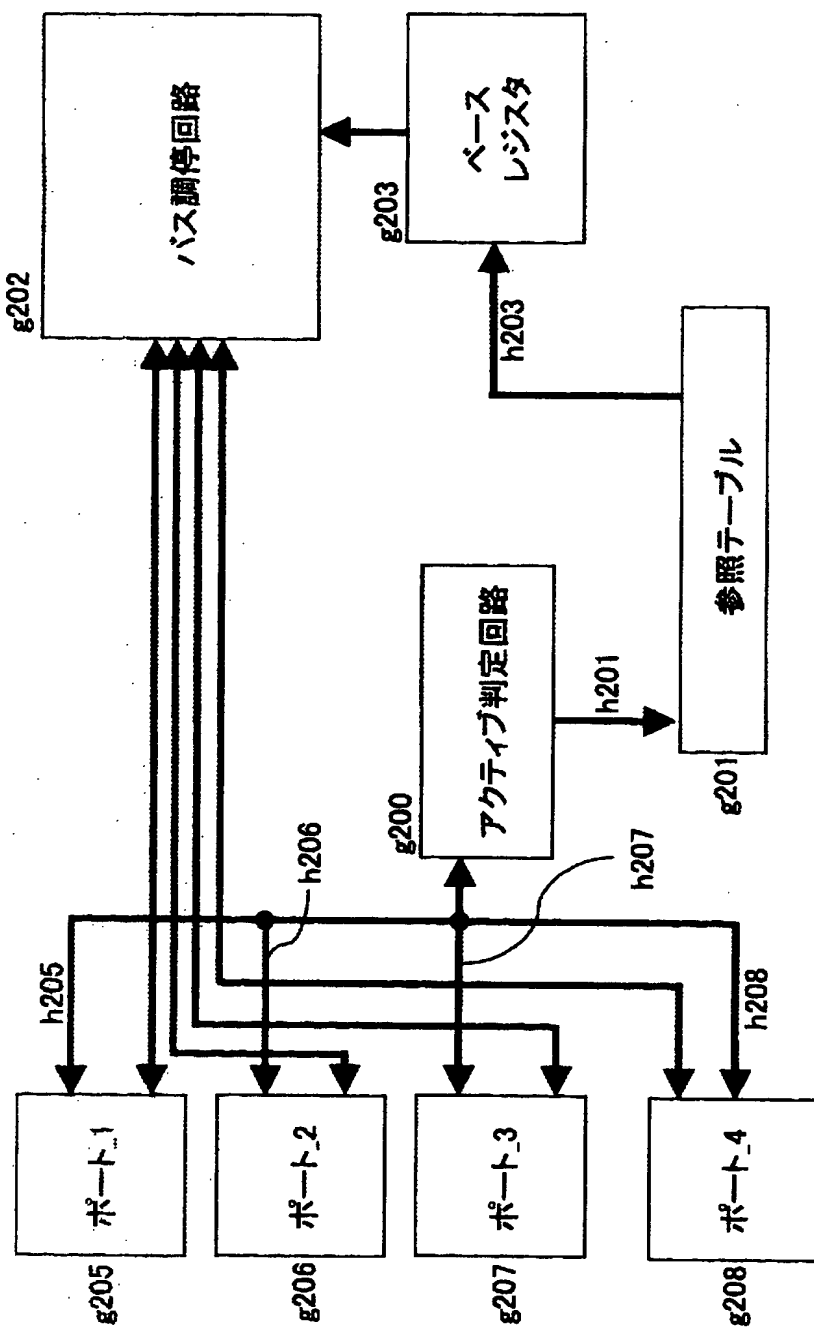
【図8】



【図 9】



【図10】



【図 1 1】

組合わせに応じた 最大ジッタ値		組合わせに応じた 最大ジッタ値	
port_active		port_active	
0000	0	1000	0
0001	0	1001	2
0010	0	1010	6
0011	3	1011	6
0100	0	1100	3
0101	5	1101	5
0110	9	1110	9
0111	9	1111	9

ポート\_4 (g208)

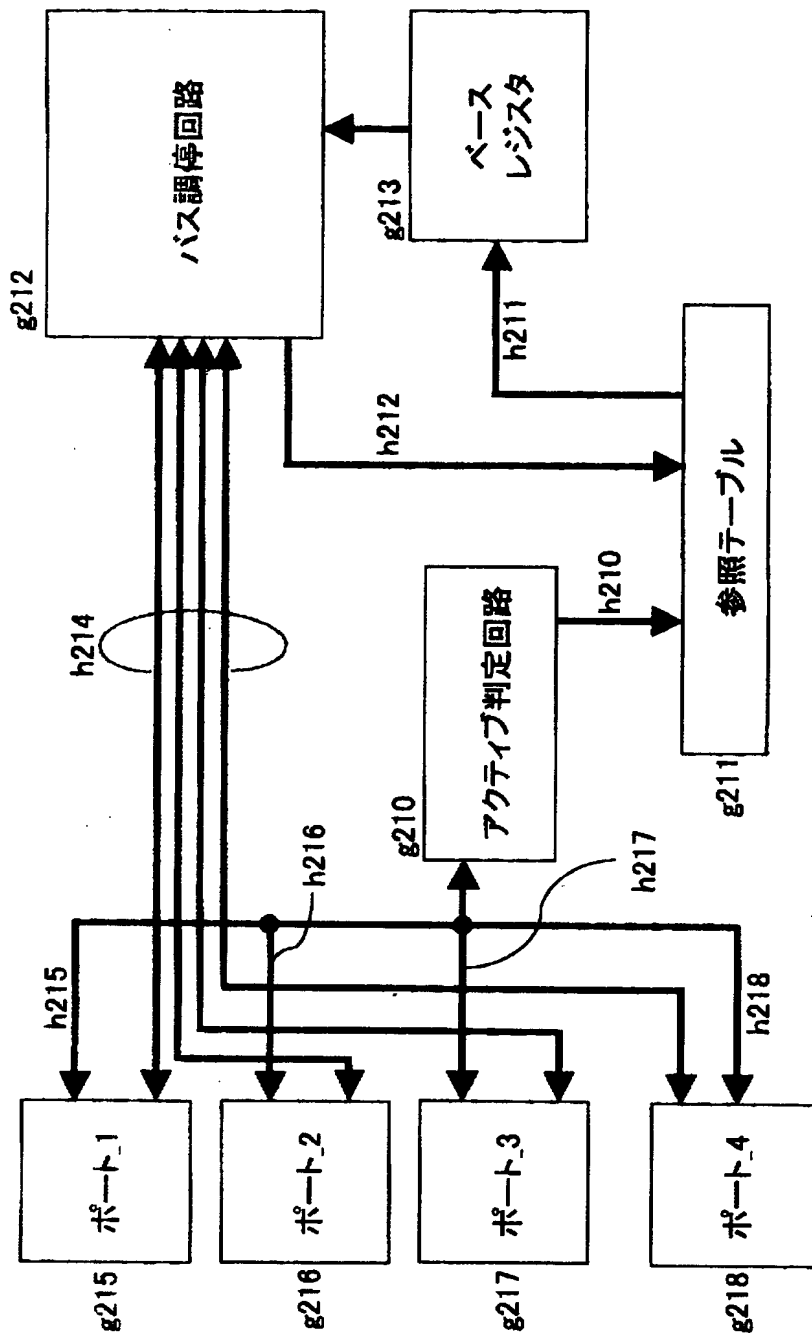
ポート\_3 (g207)

ポート\_2 (g206)

ポート\_1 (g205)

{ 1: アクティブポート  
0: 非アクティブポート }

【図 12】



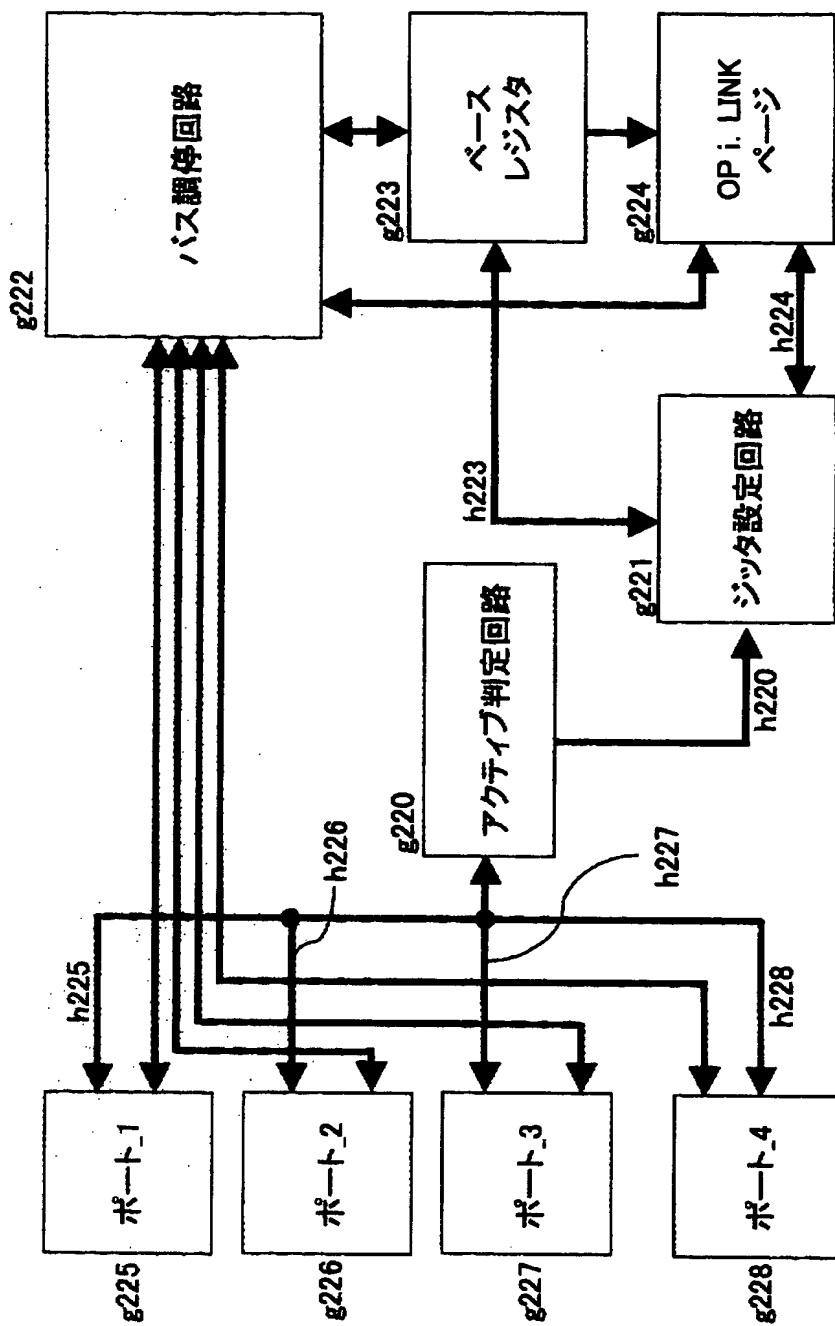
【図 1 3】

port_active	組合わせに応じた 最大ジッタ値
1 0 0 0	0
1 0 0 1	2
1 0 1 0	6
1 0 1 1	6
1 1 0 0	3
1 1 0 1	3
1 1 1 0	9
1 1 1 1	9

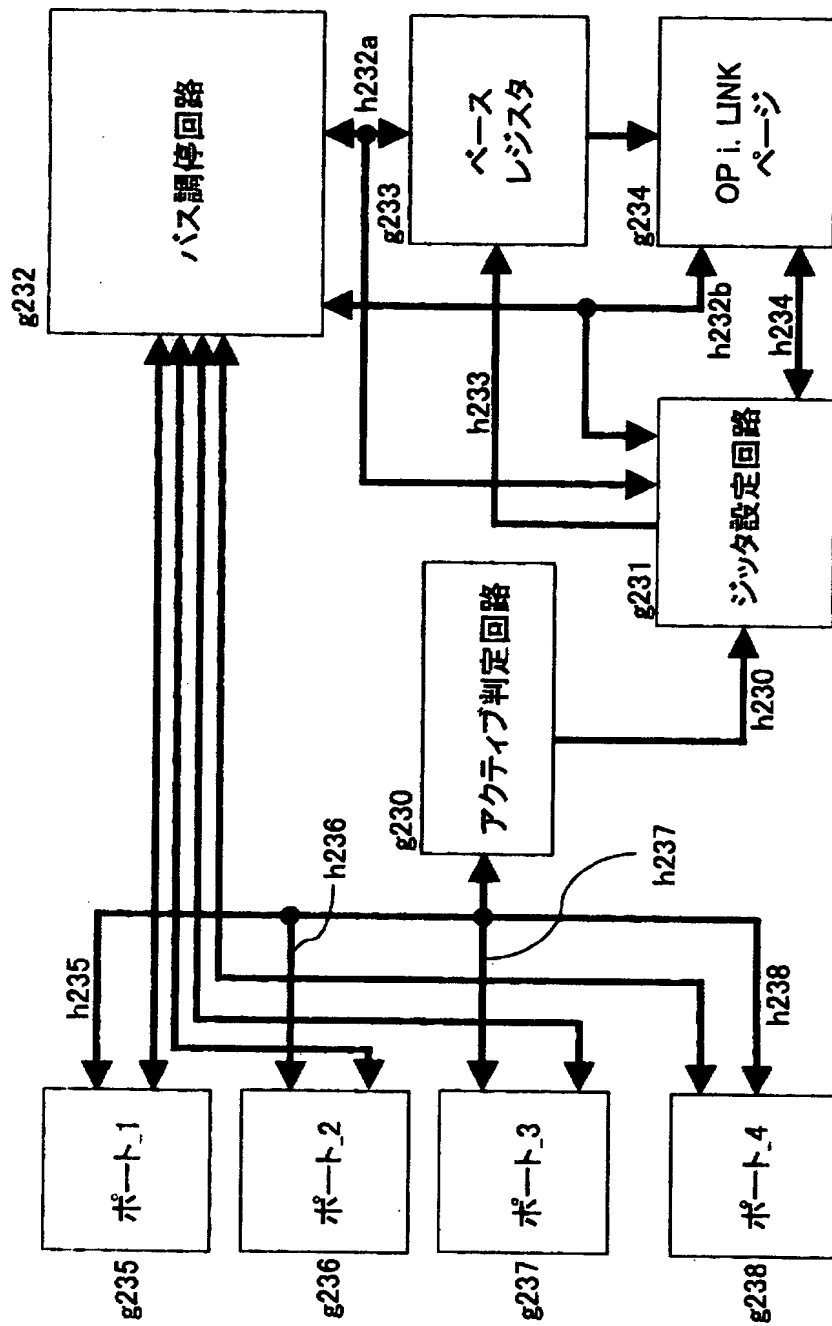
ポート\_4 (g218)  
 ポート\_3 (g217)  
 ポート\_2 (g216)  
 ポート\_1 (g215)

{ 1: アクティブポート  
 0: 非アクティブポート

【図 14】

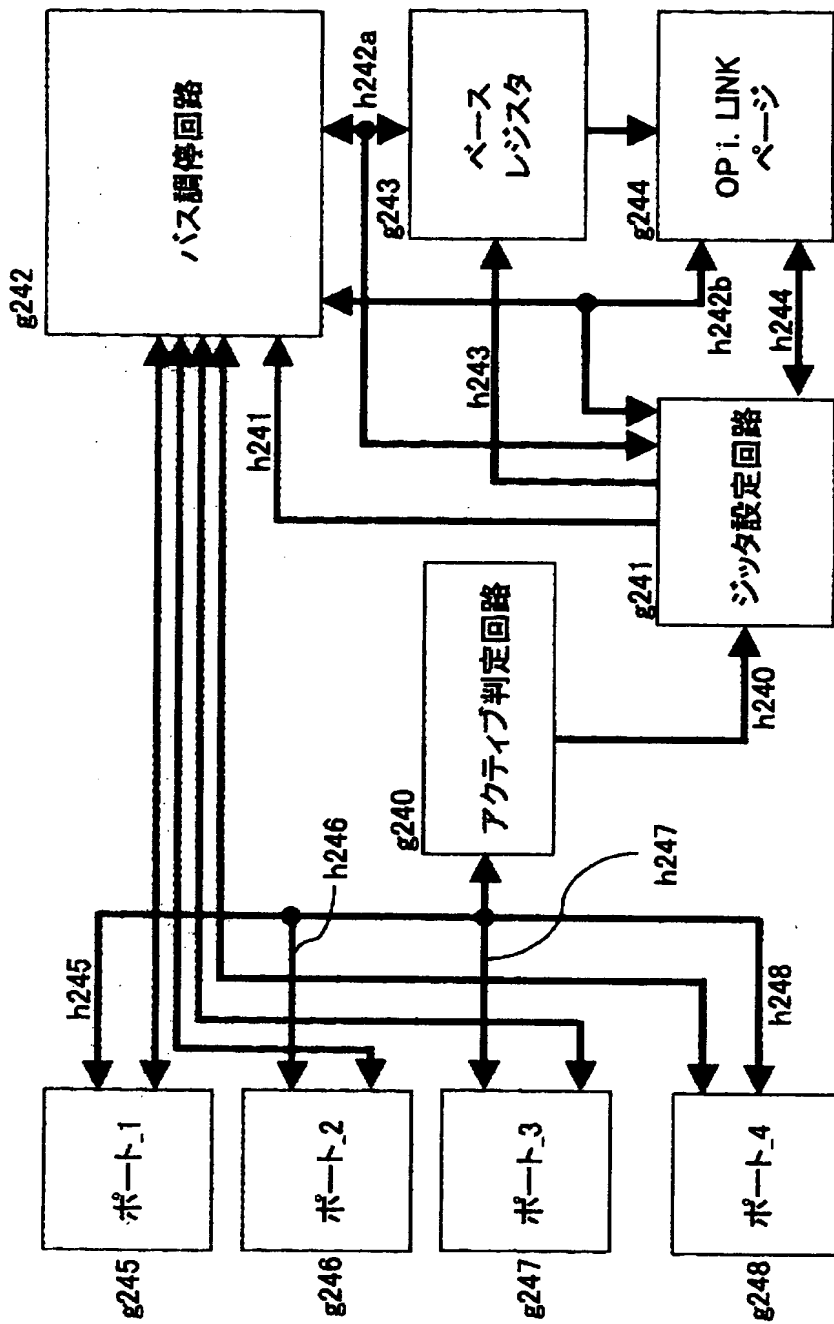


【図 15】

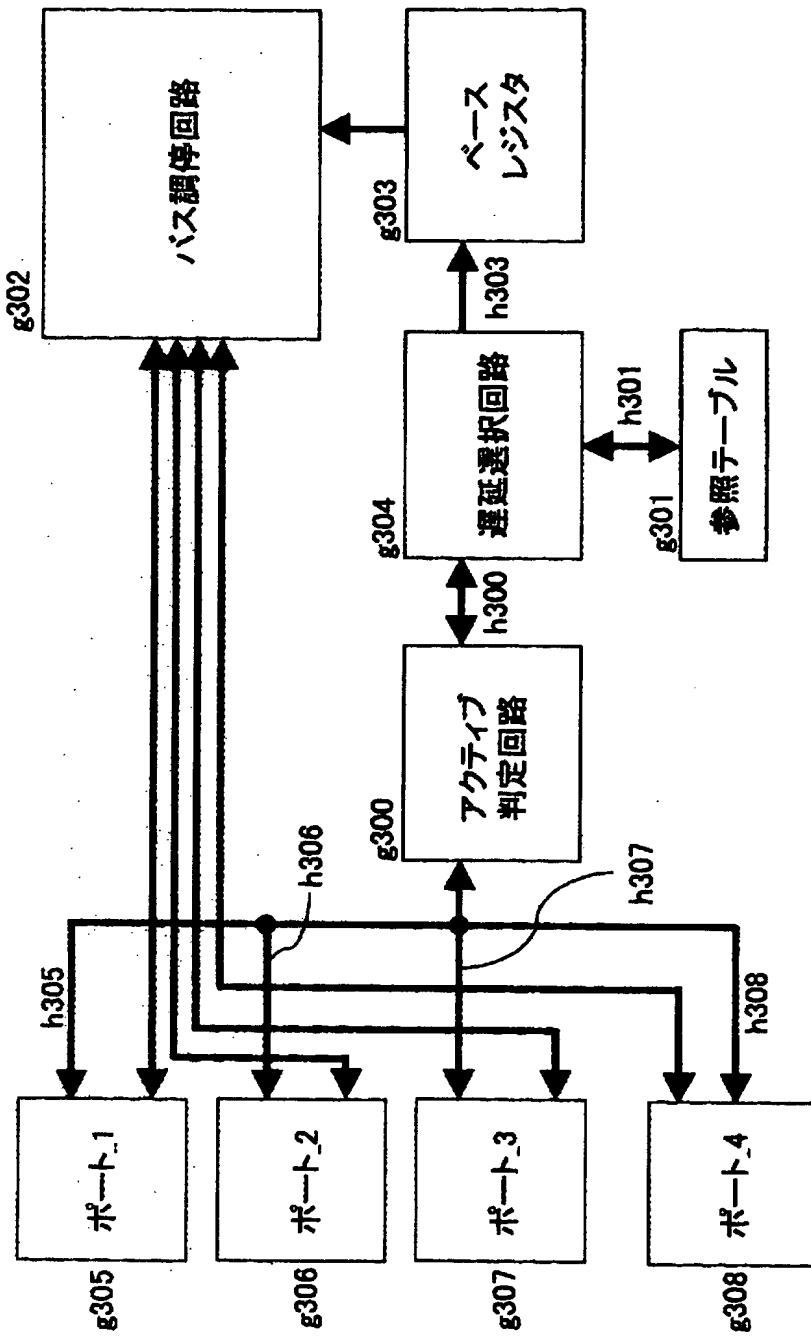




【図16】



【図 17】



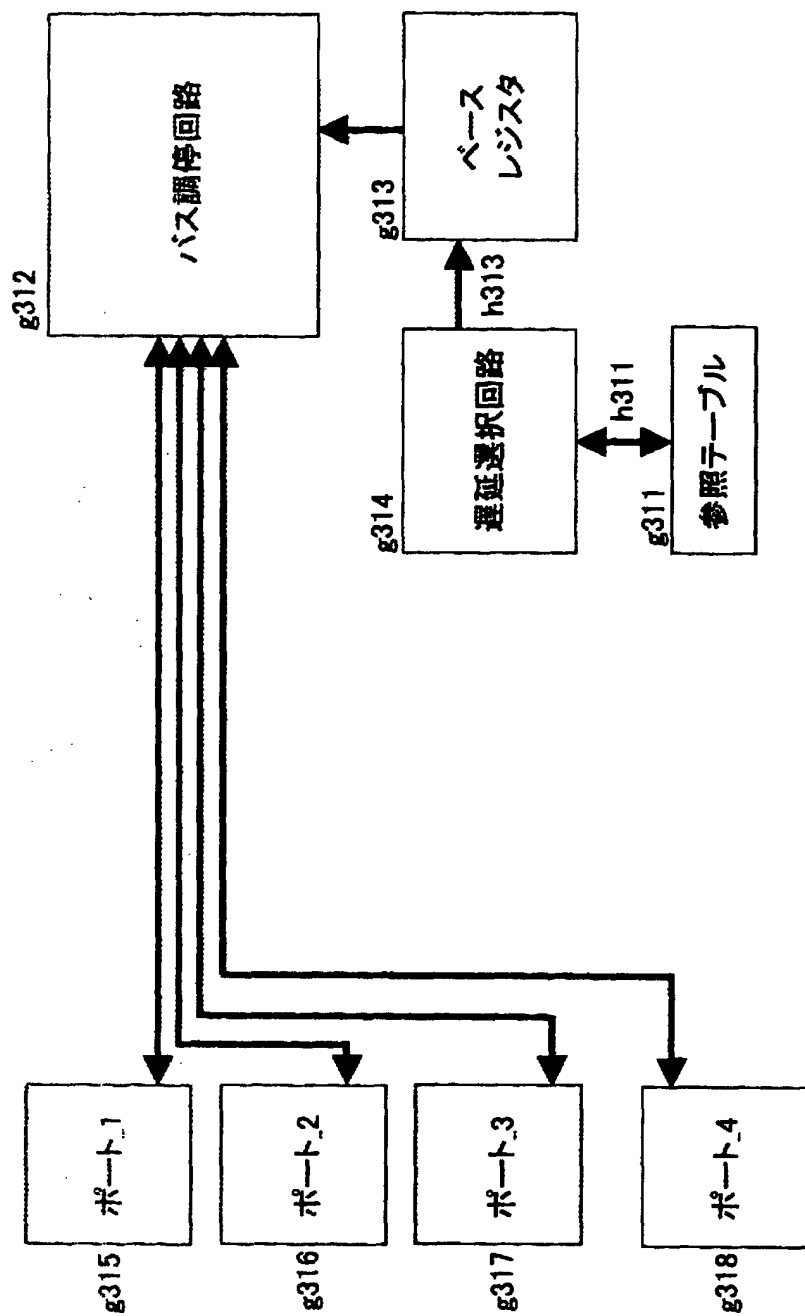
【図 1 8】

	ホ°-ト_1 (g305)	ホ°-ト_2 (g306)	ホ°-ト_3 (g307)	ホ°-ト_4 (g308)
ホ°-ト_1 (g305)				
ホ°-ト_2 (g306)	3			
ホ°-ト_3 (g307)	6	9		
ホ°-ト_4 (g308)	2	5	8	

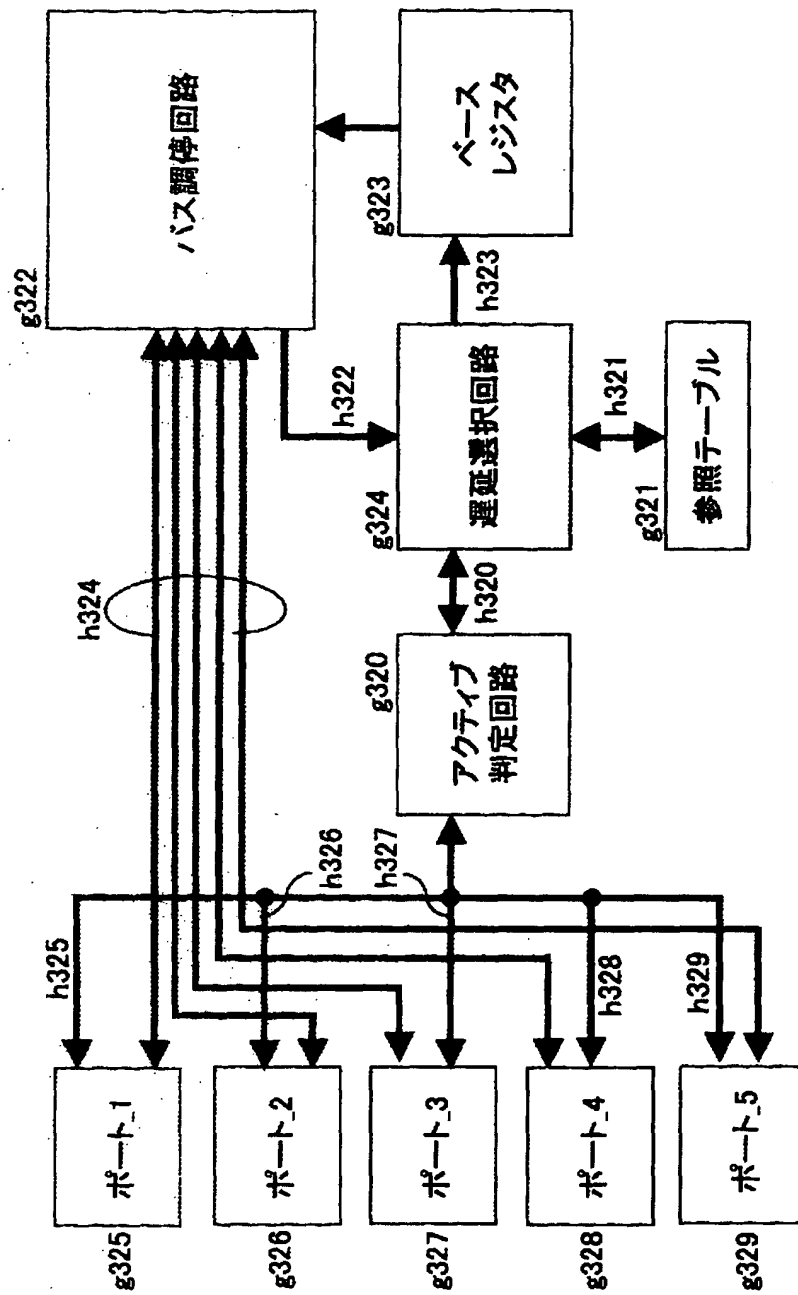
【図 1 9】

	ホ°-ト_1 (g305)	ホ°-ト_2 (g306)	ホ°-ト_3 (g307)	ホ°-ト_4 (g308)
ホ°-ト_1 (g305)	1			
ホ°-ト_2 (g306)	3	7		
ホ°-ト_3 (g307)	6	9	10	
ホ°-ト_4 (g308)	2	5	8	4

【図 20】



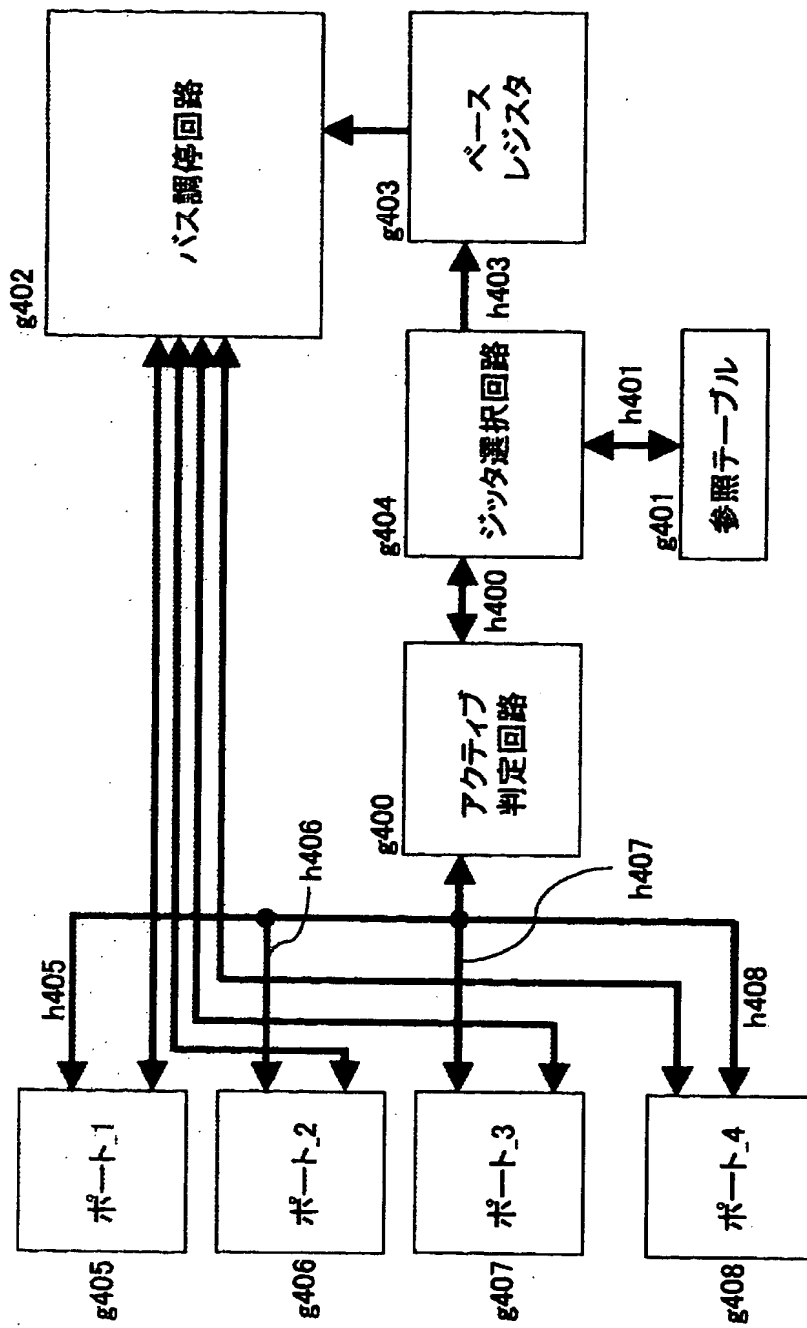
【図 21】



【図22】

	ホ°-ト_1 (g325)	ホ°-ト_2 (g326)	ホ°-ト_3 (g327)	ホ°-ト_4 (g328)	ホ°-ト_5 (g329)
ホ°-ト_1 (g325)	1				
ホ°-ト_2 (g326)	3	7			
ホ°-ト_3 (g327)	6	9	10		
ホ°-ト_4 (g328)	11	5	8	4	
ホ°-ト_5 (g329)	2	6	8	3	4

【図 23】

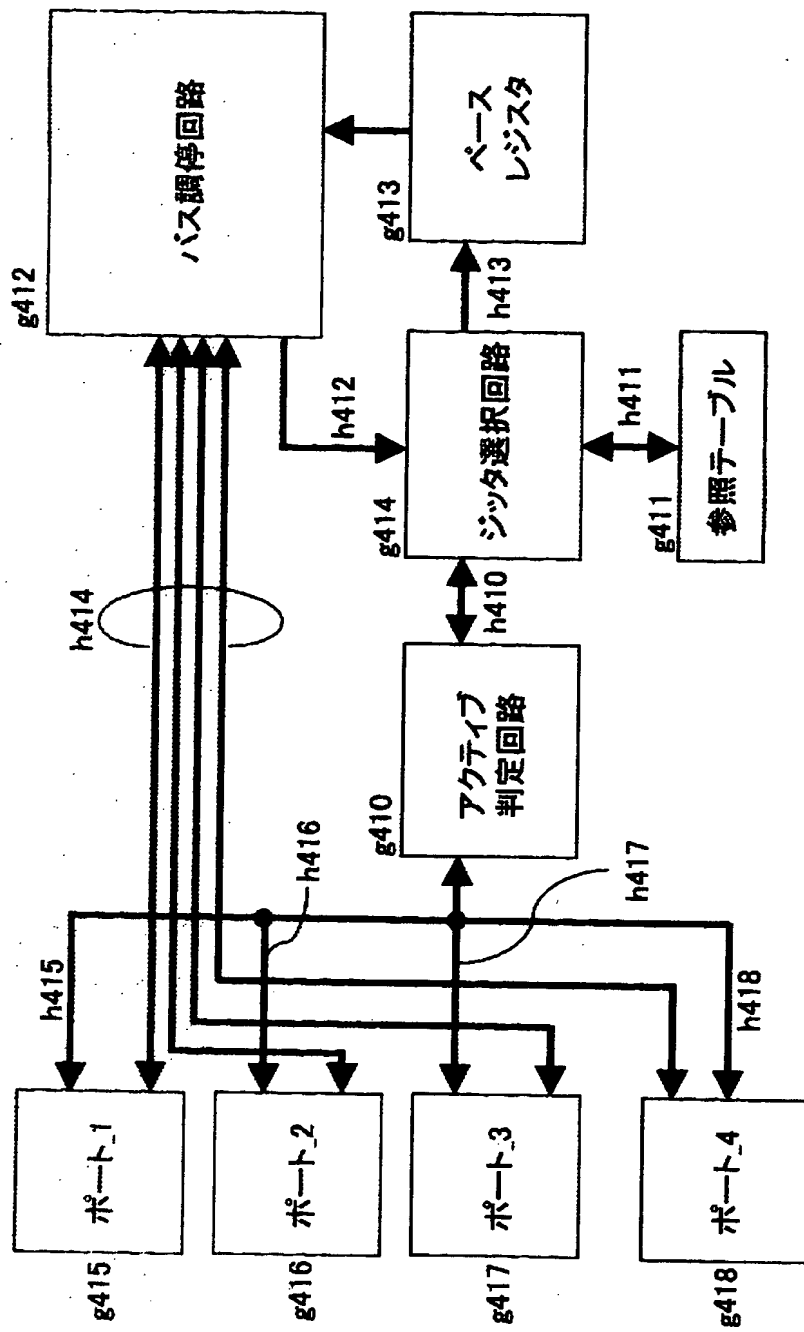




【図 2 4】

	ホ°-ト_1 (g405)	ホ°-ト_2 (g406)	ホ°-ト_3 (g407)	ホ°-ト_4 (g408)
ホ°-ト_1 (g405)				
ホ°-ト_2 (g406)	3			
ホ°-ト_3 (g407)	6	9		
ホ°-ト_4 (g408)	2	5	8	

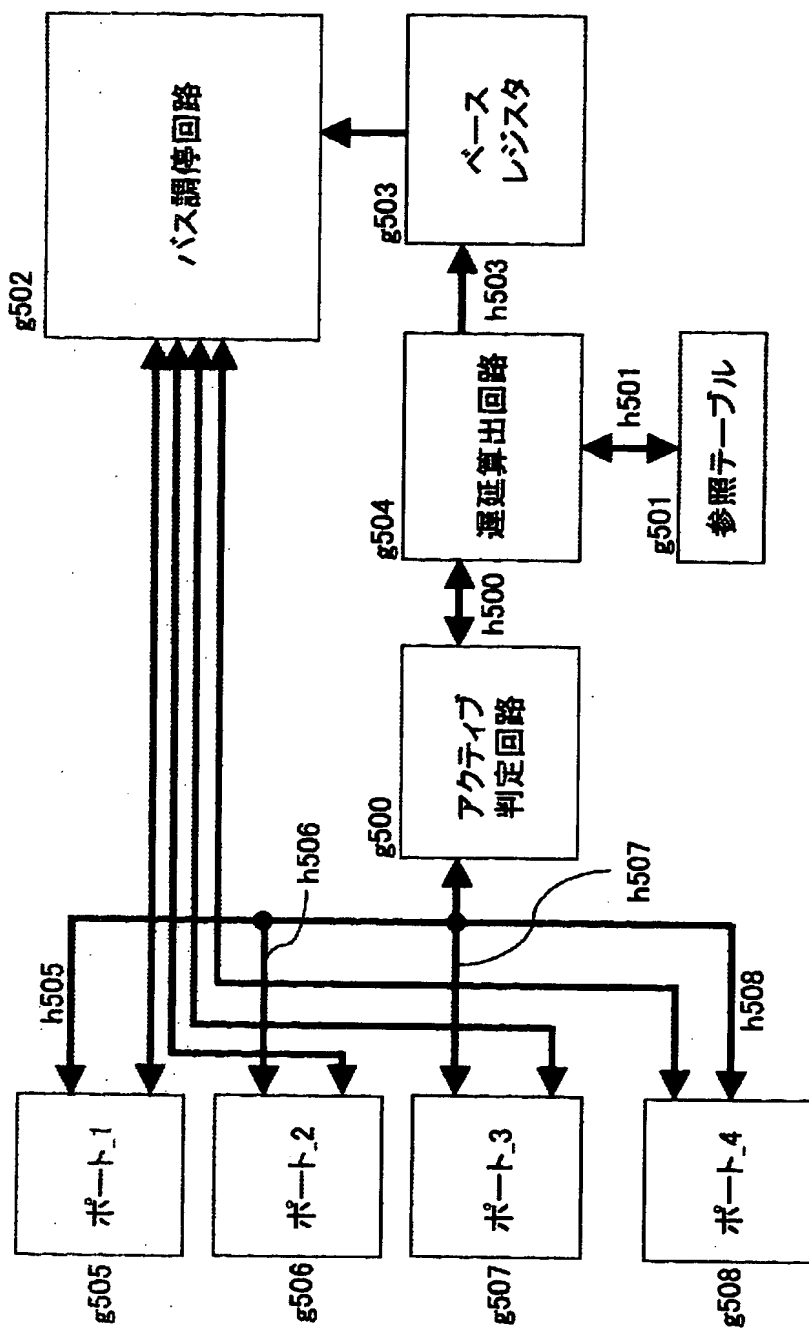
【図 25】



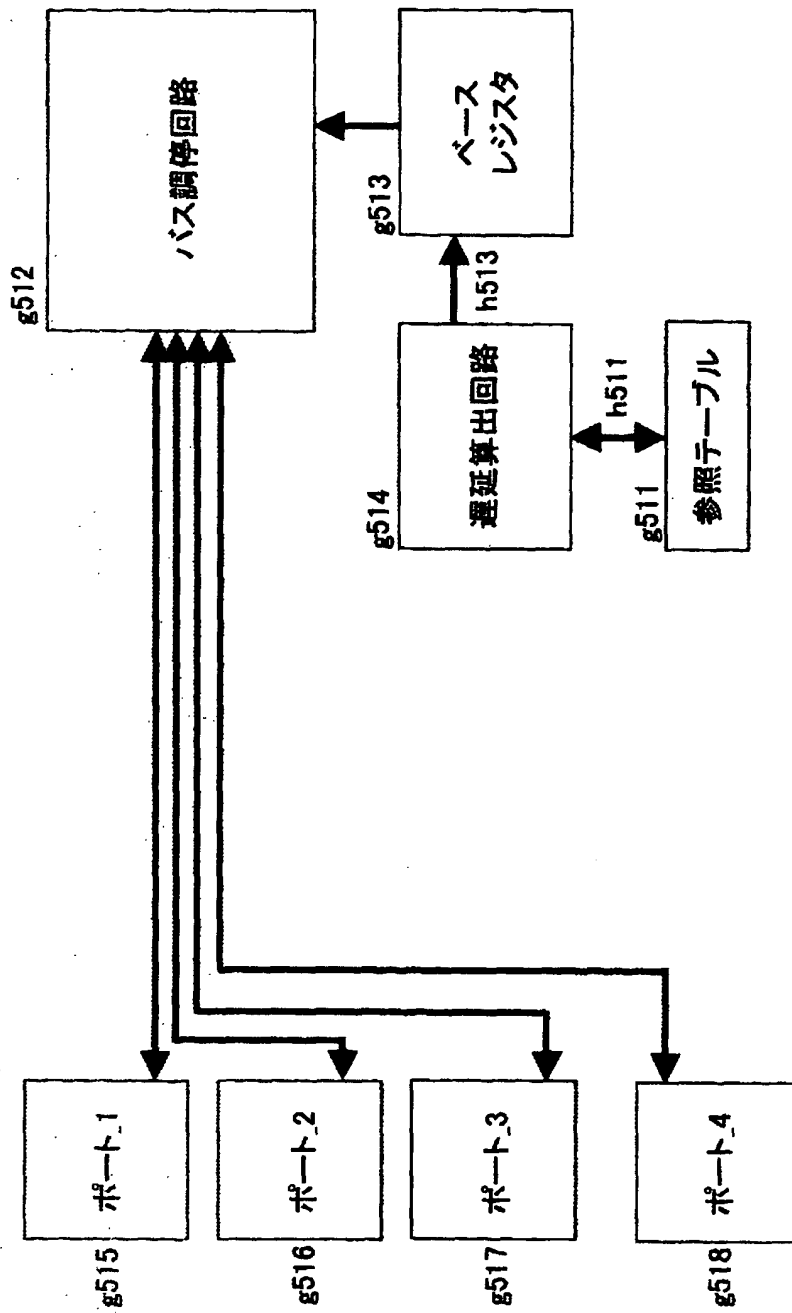
【図 26】

	ホ°-ト_1 (g415)	ホ°-ト_2 (g416)	ホ°-ト_3 (g417)	ホ°-ト_4 (g418)
ホ°-ト_1 (g415)				
ホ°-ト_2 (g416)	3			
ホ°-ト_3 (g417)	6	9		
ホ°-ト_4 (g418)	2	5	8	

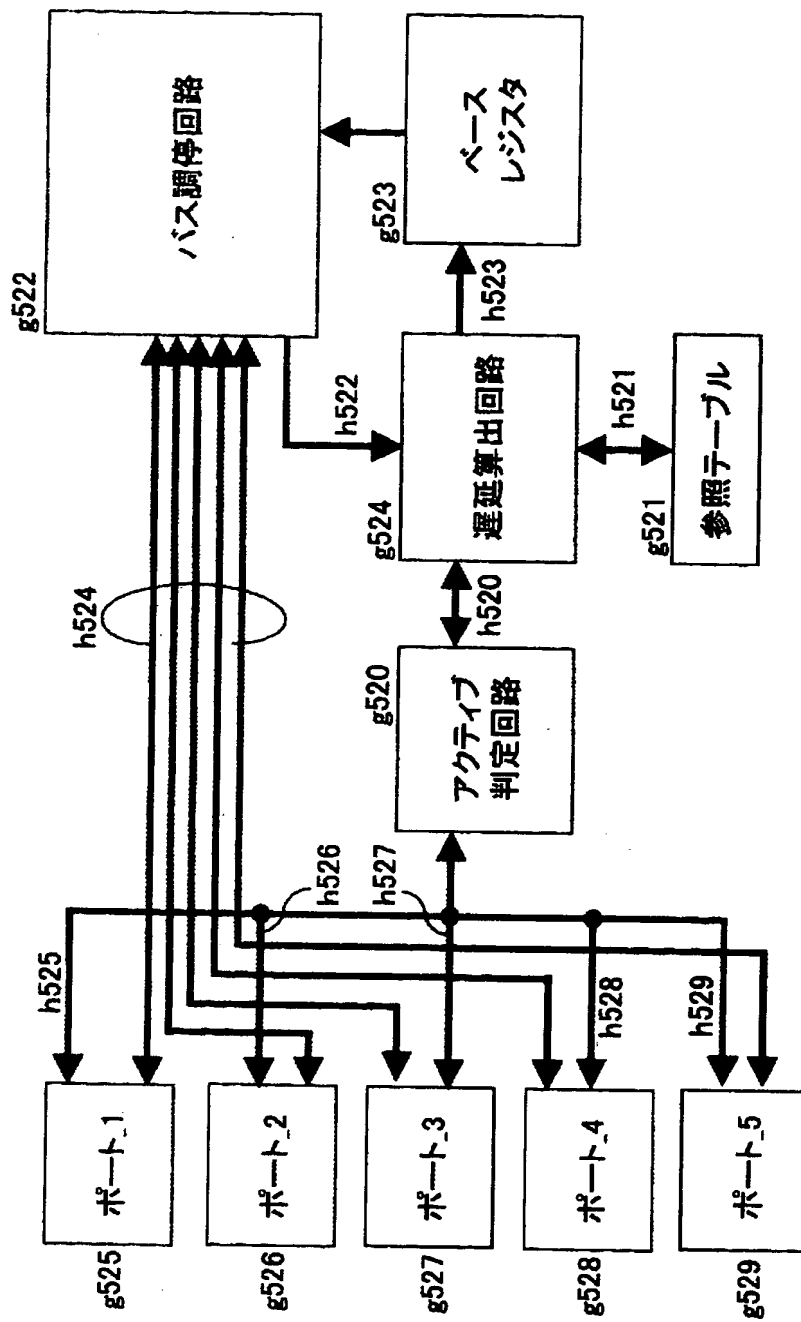
【図 27】



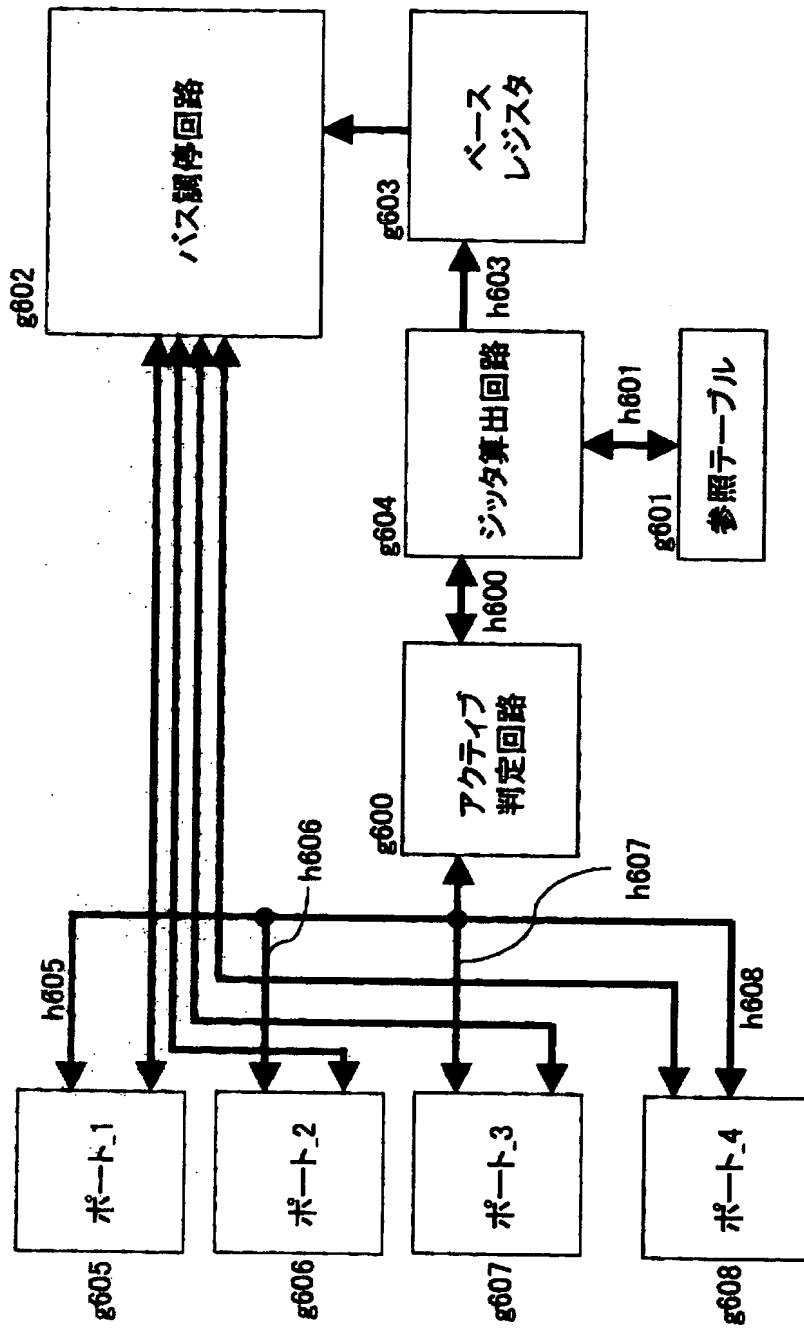
【図 2 8】



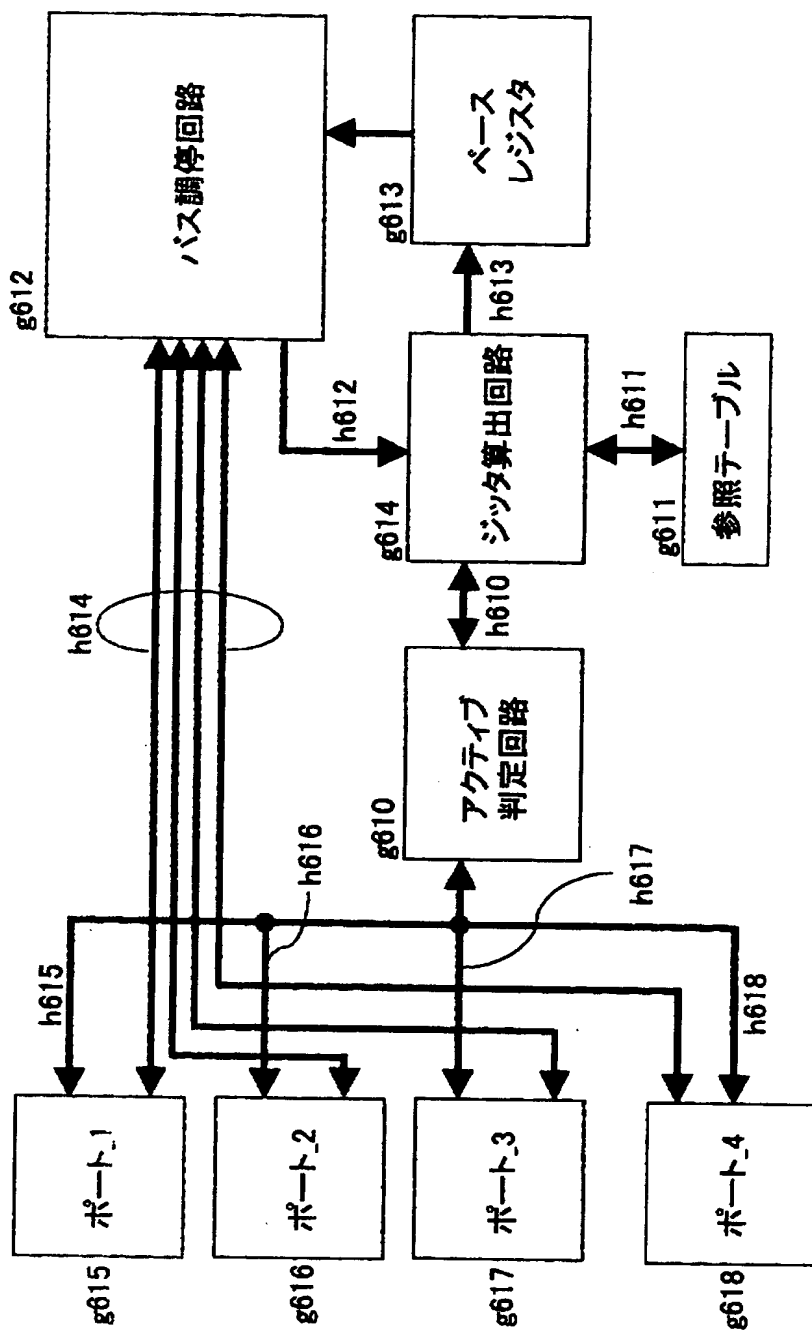
【図 29】



【図 3 0】

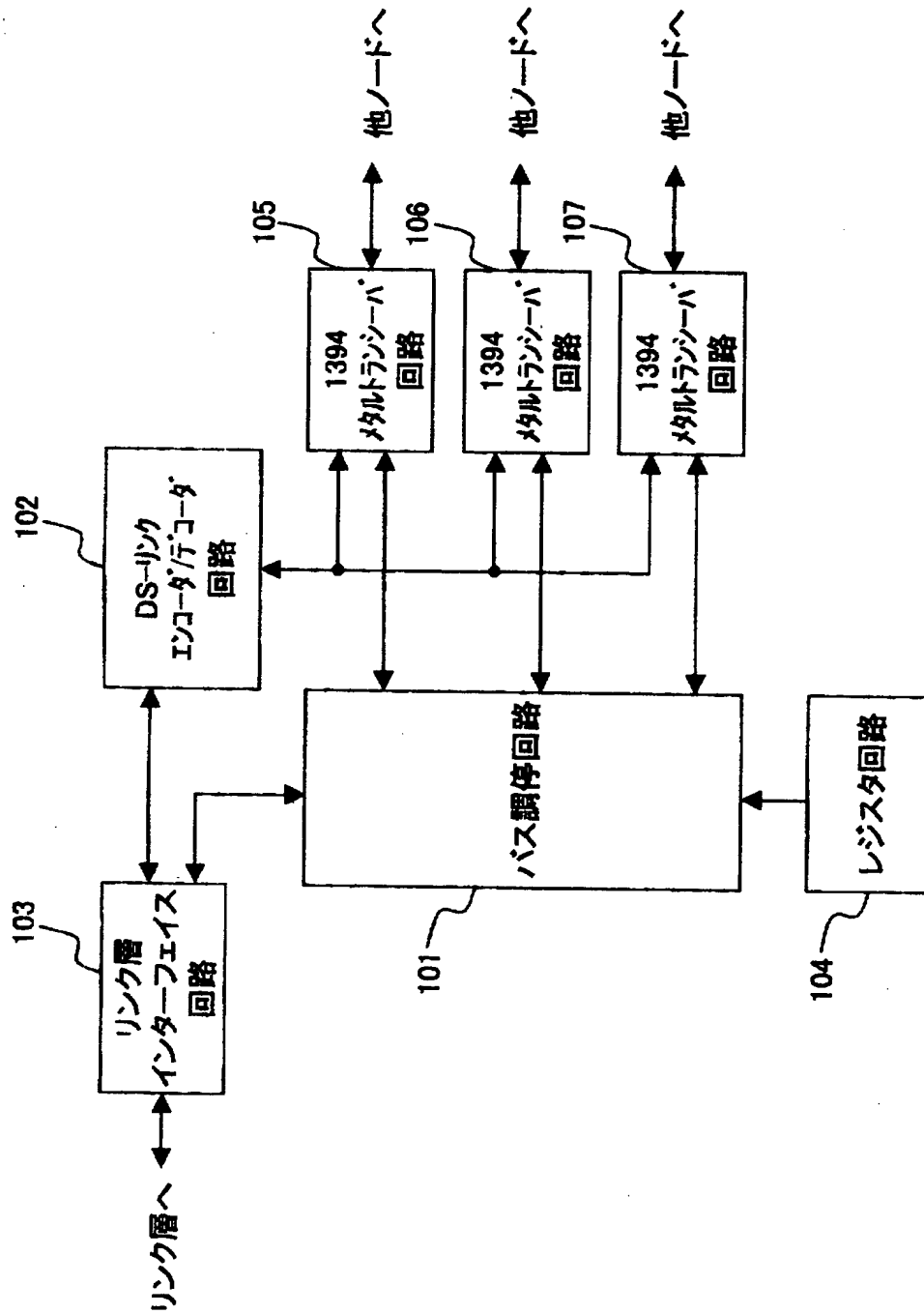


【図 31】





【図 3 2】

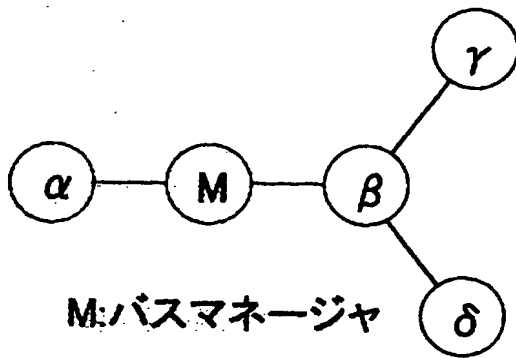


【図 3 3】

コンテンツ

アドレス	0	1	2	3	4	5	6	7
0000	Physical ID							PS
0001	RHB	IBR	Gap_count					
0010	Extended(7)		Total_ports					
0011	Max_speed		Delay					
0100	LCtrl	Contender	Jitter		Pwr_class			
0101	Watchdog	ISBR	Loop	Pwr_fail	Timeout	Port_event	Enab_accel	Enab_multi
0110	Page_select		Port_select					
0111	Register0 (page_select)							
1000								
1111	Register7 (page_select)							

【図34】



【図 3 5】

コンテンツ

アドレス	0	1	2	3	4	5	6	7
1000	4F							
1001	50							
1010	OP i.LINK version							
1011	Delay OP-DS			Jitter OP-DS			Pinging	
1100	Delay DS-DS			Jitter DS-DS				
1101	T0	T1	T2	T3	T4	T5	T6	T7
1110	T8	T9	T10	T11	T12	T13	T14	T15
1111	Ping timer							

【図 36】

10	Phy_ID	0	L	Gap_count	sp	rsv	c	pwr	p0	p1	p2	i	m
Logical inverse of first quadlet													

セルフIDパケット #0

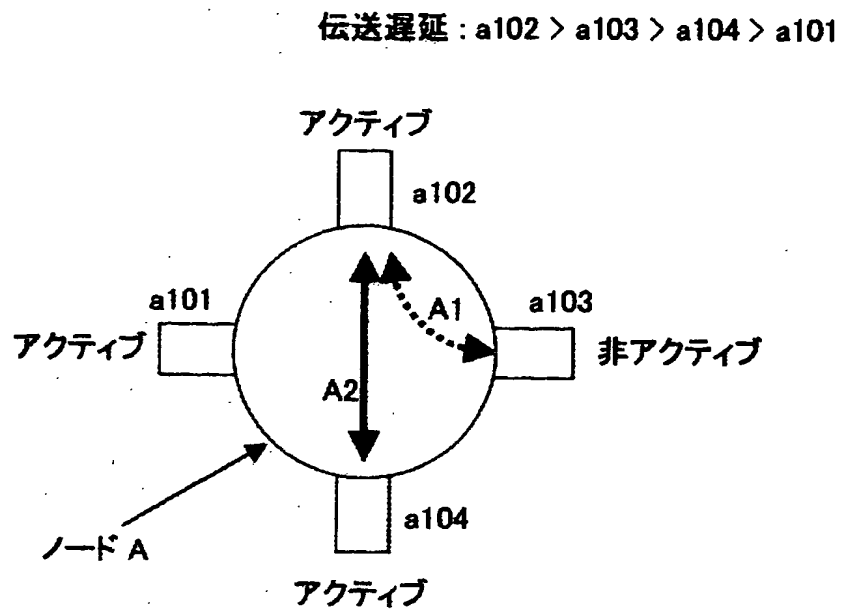
10	Phy_ID	1	n(0)	nsv	p3	p4	p5	p6	p7	p8	p9	p1-	r	m
Logical inverse of first quadlet														

セルフIDパケット #1

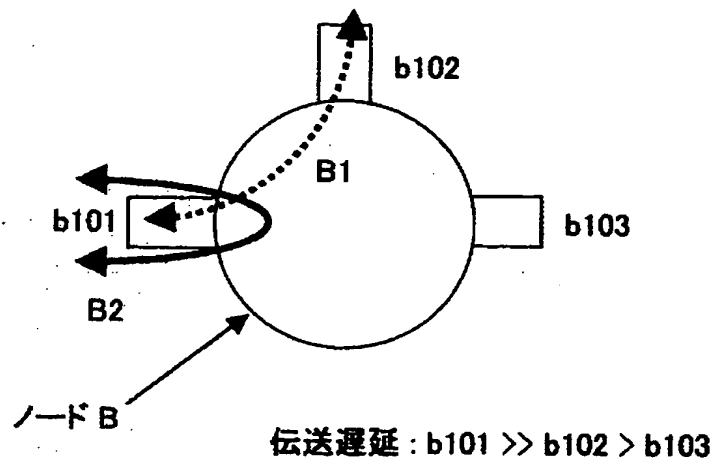
10	Phy_ID	1	n (1)	nsv	p11	p12	p13	p14	p15	reserved
Logical inverse of first quadlet										

セルフIDパケット #2

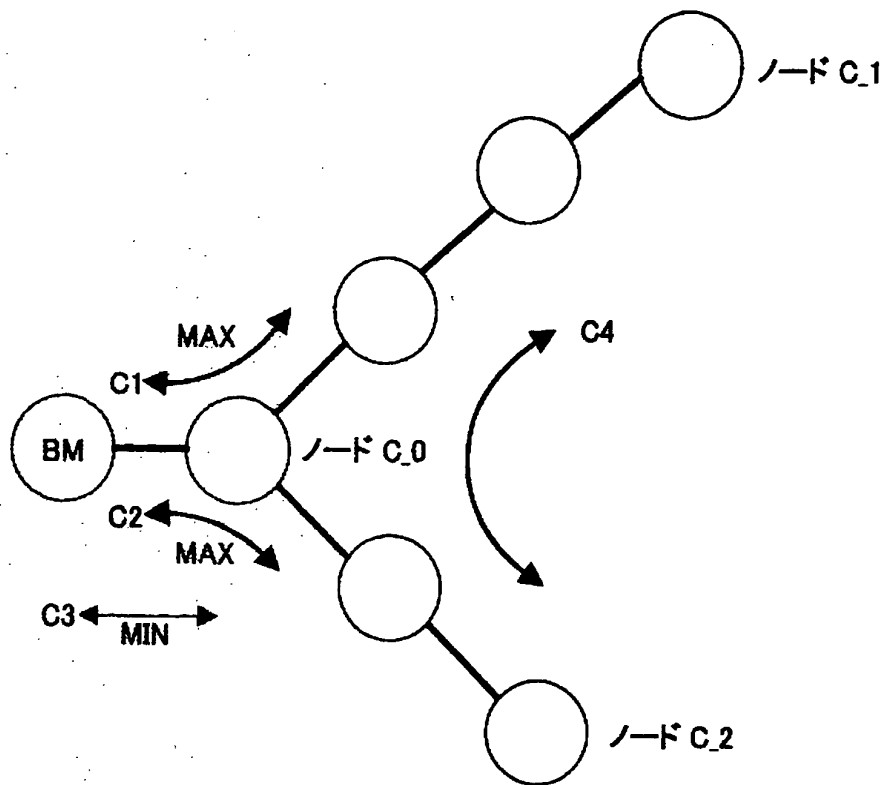
【図 3 7】



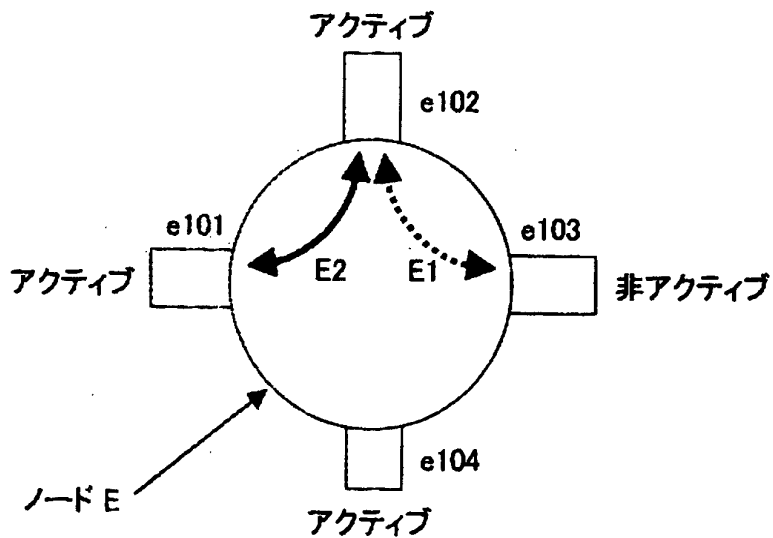
【図 3 8】



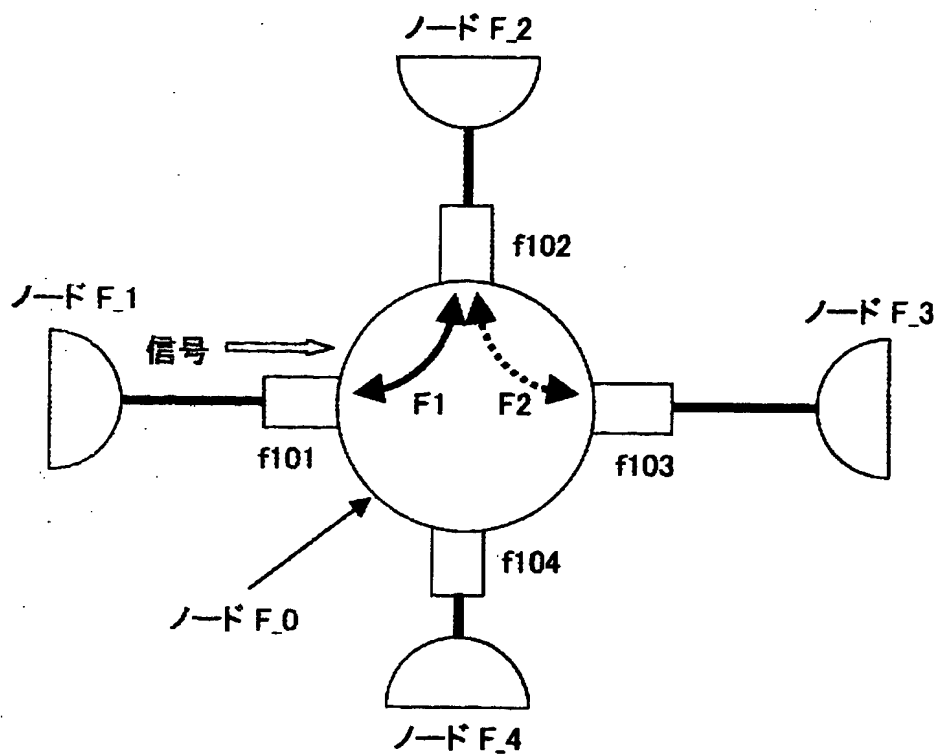
【図39】



【図40】



【図 4 1】





【書類名】            要約書

【要約】

【課題】 本発明は、効率の良い通信を行うことが可能な送受信装置を提供することを目的とする。

【解決手段】 複数の異種ポート g 1 0 5 ～ g 1 0 8 各々がアクティブ状態であるか否かを判別するアクティブ判定回路 g 1 0 0 と、各ポート間における伝送遅延値のうち、アクティブポートの組合わせに応じた最大値を保持する参照テーブル g 1 0 1 と、を有し、ベースレジスタ g 1 0 3 に割り当てる送受信装置の伝送遅延値として、アクティブ判定回路 g 1 0 0 の出力信号に応じて参照テーブル g 1 0 1 から読み出された値を用いる構成としている。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日  
[変更理由] 新規登録  
住 所 大阪府大阪市阿倍野区长池町22番22号  
氏 名 シャープ株式会社